

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100

Beschreibung

Die vorliegende Erfindung betrifft eine Halbleitereinrichtung und ein Herstellungsverfahren einer Halbleitereinrichtung.

Ein Polysilizium-Dünnschichttransistor (im folgenden als TFT bezeichnet) wird als Lastelement in einem SRAM mit niedrigem Stromverbrauch verwendet. Der TFT muß eine kleine Fläche einnehmen und eine große Stromkapazität aufweisen, damit ein SRAM mit einer verbesserten Fähigkeit und einer hohen Integrationsdichte gebildet wird. Der Anmelderin bekannte Rundherum-Gate-TFT mit einer Gateelektrode, die um einen Kanalsiliziumfilm herumgewunden ist, weist eine Stromkapazität auf, die das Zweifache des eines Einzelgate-TFT mit der gleichen Fläche ist.

Fig. 49 bis 51 zeigen einen der Anmelderin bekannten Polysilizium-Dünnschichttransistor. Fig. 49 ist eine perspektivische Ansicht des Dünnschichttransistors, Fig. 50 ist eine Querschnittsansicht entlang der Linie A-A' in Fig. 49 und Fig. 51 ist eine Querschnittsansicht entlang der Linie B-B' in Fig. 49.

In Fig. 49 bis 51 sind ein Siliziumsubstrat 1, ein auf einer Oberfläche des Siliziumsubstrats 1 gebildeter Siliziumdioxidfilm 2, ein Kanalsiliziumfilm 6, der als der Kanal des Dünnschichttransistors dient, ein Siliziumdioxidfilm 7, der über der Oberfläche des Polysiliziumfilms 6 und der Oberfläche des Siliziumdioxidfilms 2 gebildet ist, und ein Gatepolysiliziumfilm 8, der als das Gate des Dünnschichttransistors dient, gezeigt. Der Siliziumdioxidfilm 7 zwischen dem Kanalsiliziumfilm 6 und dem Gatepolysiliziumfilm 8 dient als Gateoxidschicht des Dünnschichttransistors.

Bei diesem Dünnschichttransistor besteht das Gate 8 aus einem unteren Zweiggate 8a, das auf einer Oberfläche eines Isolierfilmes gebildet ist, und aus einem Zweiggate 8b, das von dem unteren Zweiggate 8a abzweigt und sich über das untere Zweiggate 8a erstreckt, wobei sich dazwischen erstreckende Durchgangslöcher vorgesehen sind.

Der Kanal 6 ist derart gebildet, daß er von einer Seite der Zweiggate 8a und 8b, d. h. von einer Seite des Durchgangslöches des Gates 8 abzweigt, und sich durch das Durchgangslöcher des Gates 8 erstreckt.

Ein Gateoxidschicht 7 ist zwischen dem Kanal 6 und den Zweiggate 8a und 8b gebildet.

Ein nicht-gezeigter Source-/Drainbereich ist mit dem Kanal 6 an den Seiten der Zweiggate 8a und 8b, d. h. an den gegenüberliegenden Seiten des Durchgangslöches des Gates 8, verbunden.

Fig. 52 bis 56 sind Figuren zum Erklären eines Herstellungsverfahrens der obigen, der Anmelderin bekannten Halbleitereinrichtung. Das der Anmelderin bekannte Herstellungsverfahren einer Halbleitereinrichtung wird im folgenden mit Bezug zu Fig. 52 bis 56 beschrieben.

Wie in Fig. 52 gezeigt ist, wird ein Siliziumdioxidfilm 2 einer vorbestimmten Dicke auf einem Siliziumsubstrat 1 durch beispielsweise einen thermischen Oxidationsprozeß gebildet. Ein Siliziumnitridfilm 3 mit einer vorbestimmten Dicke wird beispielsweise durch einen CVD-Prozeß mit reduziertem Druck abgeschieden. Dann wird der Siliziumnitridfilm in einen Streifen einer Breite, die der des Kanals eines gewünschten Transistors entspricht, bemustert.

Wie in Fig. 53 gezeigt ist, wird Polysilizium über der Oberfläche des Werkstückes derart abgeschieden, daß ein Kanalsiliziumfilm 6 gebildet wird. Das Polysilizium, das keine Dotierung aufweist, wird in einem Polysiliziumfilm einer vorbestimmten Dicke abgeschieden und der Polysiliziumfilm wird durch einen photolithographischen Ätzprozeß derart bemustert, daß der Kanalsiliziumfilm 6 eines gewünschten Musters gebildet wird.

Dann wird, wie in Fig. 54 gezeigt ist, der Siliziumnitridfilm 3 durch beispielsweise Eintauchen des Werkstückes in eine Lösung heißer Phosphorsäurelösung von 150°C komplett entfernt. Folglich wird eine Öffnung in dem Kanalsiliziumfilm 6 gebildet.

Wie in Fig. 55 gezeigt ist, wird ein Gatesiliziumdioxidfilm 7 einer vorbestimmten Dicke, d. h. ein Gateisolierfilm, über der gesamten Oberfläche des Werkstückes derart abgeschieden, daß der erste Siliziumdioxidfilm 1 und der Kanalsiliziumfilm 6 komplett bedeckt werden.

Wie in Fig. 56 gezeigt ist, wird ein Gatepolysiliziumfilm 8, der mit Phosphor dotiert ist (d. h. ein dotierter Polysiliziumfilm), mit einer vorbestimmten Dicke über der gesamten Oberfläche des Werkstückes durch einen CVD-Prozeß mit reduziertem Druck abgeschieden. Die in dem Kanalsiliziumfilm 6 gebildete Öffnung wird mit dem zweiten Polysiliziumfilm 8 aufgefüllt, da der Film, der durch den CVD-Prozeß mit reduziertem Druck abgeschieden ist, eine ausgezeichnete Bedeckung aufweist.

Wie in Fig. 49 bis 51 gezeigt ist, wird der Gatepolysiliziumfilm 8 durch einen photolithographischen Ätzprozeß in ein vorbestimmtes Muster derart bemustert, daß eine Gateelektrode gebildet wird.

Dann wird eine Source/Drain-Implantation für Endabschnitte des Kanalsiliziumfilmes 6 unter Verwendung der Gateelektrode 8, die auf dem Kanalsiliziumfilm 6 überlagert ist, als Maske durchgeführt. Es wird ein Zwischenschicht-Isolierfilm gebildet und es werden Verdrahtungsleitungen, wie zum Beispiel Aluminiumleitungen, derart gebildet, daß sie sich von dem Source/Drainbereich erstrecken, so daß ein gewünschter Transistor fertiggestellt wird, obwohl dies nicht gezeigt ist.

Der obige Rundherum-Gate-TFT, der die Gateelektrode aufweist, die um den Kanalsiliziumfilm herumgewunden ist, weist eine Stromkapazität auf, die das Zweifache der eines Einzelgate-TFT ist, wobei die gleiche Fläche eingenommen wird. Wenn der Integrationsgrad eines SRAM mit niedrigem Stromverbrauch ansteigt, wird ein TFT mit einer kleineren Fläche und einer größeren Stromkapazität benötigt. Der der Anmelderin bekannte TFT ist jedoch nicht in der Lage, diese Anforderung zufriedenstellend zu erfüllen.

Es ist Aufgabe der vorliegenden Erfindung eine Halbleitereinrichtung und ein Herstellungsverfahren einer Halbleitereinrichtung zur Verfügung zu stellen, mit denen ein Dünnschichttransistor, der eine relativ kleine Fläche einnimmt und eine große Stromkapazität aufweist, vorgesehen werden kann.

Die Aufgabe wird durch die Halbleitereinrichtung des Anspruchs 1, 2, 3 oder 4 oder durch das Herstellungsverfahren einer Halbleitereinrichtung des Anspruchs 9, 10, 11, 12, 13 oder 14 gelöst.

Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Entsprechend einem Aspekt weist eine Halbleitereinrichtung ein Halbleitersubstrat und einen auf einer Oberfläche des Halbleitersubstrates gebildeten Isolierfilm auf. Es ist ein Gate vorgesehen, das ein unteres Zweiggate, das sich auf einer Oberfläche des Isolierfilmes erstreckt, aufweist. Das Gate weist weiterhin eine Mehrzahl von Zweiggate auf, die von dem unteren Zweiggate abzweigen und sich über das untere Zweiggate erstrecken. Eine Mehrzahl von Gatedurchgangslöchern sind zwischen dem unteren Zweiggate und der Mehrzahl von Zweiggate vorgesehen. Es ist ein Kanal vorgesehen, der sich von einer Seite der Gatedurchgangslöcher abzweigt und eine Mehrzahl von Zweigkanälen aufweist, die durch die Gatedurchgangslöcher hindurchgehen. Die Mehrzahl der Zweigkanäle sind auf der anderen Seite der Gatedurchgangslöcher vereint. Es ist Gateisolier-

film zwischen dem Gate und dem Kanal gebildet. Weiterhin ist ein Source/Drainbereich derart gebildet, daß er mit dem Kanal an den gegenüberliegenden Seiten der Gatedurchgangslöcher verbunden ist.

Entsprechend einem anderen Aspekt weist eine Halbleitereinrichtung ein Halbleitersubstrat und einen auf einer Oberfläche des Halbleitersubstrates gebildeten Isolierfilm auf. Es ist ein Gate vorgesehen, das unteres Zweiggate, das auf einer Oberfläche des Isolierfilmes derart gebildet ist, daß ein Tunnel auf dem Isolierfilm gebildet ist; aufweist. Das Gate weist weiterhin zumindest ein anderes Zweiggate auf, das von einem Ende abzweigt und sich über das untere Zweiggate erstreckt. Es ist zumindest ein Gatedurchgangslöcher zwischen dem unteren Zweiggate und dem oder den anderen Zweiggates vorgesehen. Es ist ein Kanal vorgesehen, der einen unteren Zweigkanal, der von einer Seite des Gatedurchgangslöcheres abzweigt und durch den Tunnel hindurchgeht, aufweist. Der Kanal weist weiterhin zumindest einen anderen Zweigkanal auf, der durch die Gatedurchgangslöcher hindurchgeht. Der untere Zweigkanal und der bzw. die anderen Zweigkanäle sind auf der anderen Seite der Gatedurchgangslöcher vereint. Weiterhin ist ein Source/Drainbereich mit dem Kanal an den gegenüberliegenden Seiten der Gatedurchgangslöcher verbunden.

Entsprechend einem anderen Aspekt weist die Halbleitereinrichtung ein Halbleitersubstrat und einen auf einer Oberfläche des Halbleitersubstrates gebildeten Isolierfilm auf. Es ist ein Kanal vorgesehen, der einen unteren Zweigkanal, der auf einer Oberfläche des Isolierfilms gebildet ist, aufweist. Der Kanal weist weiterhin eine Mehrzahl von anderen Zweigkanälen auf, die von dem unteren Zweigkanal abzweigen und sich über den unteren Zweigkanal erstrecken. Es ist eine Mehrzahl von Kanaldurchgangslöchern zwischen dem unteren Zweigkanal und den anderen Zweigkanälen vorgesehen. Jeder Source-/Drainbereich ist derart gebildet, daß er mit dem Kanal an den gegenüberliegenden Enden des Kanals verbunden ist. Weiterhin ist ein Gate vorgesehen, das eine Abzweigung von einer Seite der Kanaldurchgangslöcher aufweist, die durch die Kanaldurchgangslöcher hindurchgeht. Die Mehrzahl von Zweiggates sind an der anderen Seite der Kanaldurchgangslöcher vereint.

Bei der Halbleitereinrichtung können ausgewählte Zweigkanäle, die nicht der oberste Zweigkanal sind, in eine Mehrzahl von Abschnitten mit Zwischenräumen dazwischen aufgeteilt werden, wobei sich die Zweiggates in den Zwischenräumen erstrecken.

Bei der Halbleitereinrichtung sind der Kanal und/oder das Gate bevorzugt aus einem leitenden Einzelschichtfilm gebildet.

Bei der Halbleitereinrichtung sind der Kanal und/oder das Gate bevorzugt aus einem Polysiliziumfilm gebildet.

Weiterhin sind bei der Halbleitereinrichtung Zweigkanäle und die Zweiggates bevorzugt derart gebildet, daß es sich in einer dreidimensionalen Art senkrecht zueinander erstrecken.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der folgenden Beschreibung von Ausführungsformen anhand der Figuren, bei der ähnliche oder entsprechende Teile durch das gleiche Bezugszeichen bezeichnet sind. Von den Figuren zeigen:

Fig. 1 bis 3 Ansichten zum Erklären der Struktur einer Halbleitereinrichtung einer ersten Ausführungsform, wobei Fig. 1 eine perspektivische Ansicht eines Dünnfilmtransistors ist und Fig. 2 und 3 Querschnittsansichten sind,

Fig. 4 bis 9 Ansichten zum Erklären eines Herstellungsverfahrens der Halbleitereinrichtung in einer zweiten Ausführungsform zum Herstellen des in Fig. 1 bis 3 gezeigten Dünnfilmtransistors,

Fig. 10 bis 12 Ansichten zum Erklären der Struktur einer Halbleitereinrichtung einer dritten Ausführungsform, wobei Fig. 10 eine perspektivische Ansicht eines Dünnfilmtransistors und Fig. 11 und 12 Querschnittsansichten sind,

Fig. 13 bis 17 Ansichten zum Erklären eines Herstellungsverfahrens einer Halbleitereinrichtung in einer vierten Ausführungsform zum Herstellen des in Fig. 10 bis 12 gezeigten Dünnfilmtransistors,

Fig. 18 bis 20 Ansichten zum Erklären einer Halbleitereinrichtung in einer fünften Ausführungsform; wobei Fig. 18 eine perspektivische Ansicht eines Dünnfilmtransistors ist und Fig. 19 und 20 Querschnittsansichten sind,

Fig. 21 bis 25 Ansichten zum Erklären eines Herstellungsverfahrens einer Halbleitereinrichtung einer sechsten Ausführungsform zum Herstellen des in Fig. 18 bis 20 gezeigten Dünnfilmtransistors,

Fig. 26 bis 28 Ansichten zum Erklären einer Struktur einer Halbleitereinrichtung einer siebten Ausführungsform, wobei Fig. 26 eine perspektivische Ansicht eines Dünnfilmtransistors ist und Fig. 27 und 28 Querschnittsansichten sind,

Fig. 29 bis 34 Ansichten zum Erklären eines Herstellungsverfahrens einer Halbleitereinrichtung einer achten Ausführungsform zum Herstellen des in Fig. 26 bis 28 gezeigten Dünnfilmtransistors,

Fig. 35 bis 37 Ansichten zum Erklären einer Struktur einer Halbleitereinrichtung einer neunten Ausführungsform, wobei Fig. 35 eine perspektivische Ansicht eines Dünnfilmtransistors ist und Fig. 36 und 37 Querschnittsansichten sind,

Fig. 38 bis 41 Ansichten zum Erklären eines Herstellungsverfahrens einer Halbleitereinrichtung einer zehnten Ausführungsform zum Herstellen des in Fig. 35 bis 37 gezeigten Dünnfilmtransistors,

Fig. 42 bis 47 Ansichten zum Erklären einer Struktur einer Halbleitereinrichtung einer elften Ausführungsform, wobei Fig. 42 eine perspektivische Ansicht eines Dünnfilmtransistors ist und Fig. 43 und 44 Querschnittsansichten sind,

Fig. 45 bis 48 Ansichten zum Erklären eines Herstellungsverfahrens einer Halbleitereinrichtung in einer zwölften Ausführungsform zum Herstellen des in Fig. 42 bis 44 gezeigten Dünnfilmtransistors,

Fig. 49 bis 51 einen der Anmelderin bekannten Polysiliziumdünnfilmtransistor, wobei Fig. 49 eine perspektivische Ansicht des Dünnfilmtransistors ist und Fig. 50 und 51 Querschnittsansichten sind, und

Fig. 52 bis 56 Ansichten zum Erklären eines Herstellungsverfahrens der der Anmelderin bekannten Halbleitereinrichtung, die in Fig. 49 bis 51 gezeigt ist.

Erste Ausführungsform

Fig. 1 bis 3 sind Ansichten zum Erklären der Struktur einer Halbleitereinrichtung einer ersten Ausführungsform. Fig. 1 ist eine perspektivische Ansicht eines Dünnfilmtransistors, Fig. 2 ist eine Querschnittsansicht entlang der Linie A-A' in Fig. 1 und Fig. 3 ist eine Querschnittsansicht entlang der Linie B-B' in Fig. 1.

In Fig. 1 bis 3 sind ein Siliziumsubstrat (Halbleitersubstrat) 1, ein Siliziumdioxidfilm (Isolierfilm) 2, der auf einer Oberfläche des Siliziumsubstratbereiches, der als Basis für den Isolierfilm dient, gebildet ist, ein Kanalpolysiliziumfilm 6, der als der Kanal des Dünnfilmtransistors dient, ein Siliziumdioxidfilm (Oberflächenisolierfilm) 7, der über der Oberfläche des Kanalpolysiliziumfilms 6 und der Oberfläche des Siliziumdioxidfilms 2 gebildet ist, und ein Gatepolysiliziumfilm 8, der als das Gate des Dünnfilmtransistors dient, ge-

zeigt. Der Siliziumdioxidfilm 7 zwischen dem Kanalpolysiliziumfilm 6 und dem Gatepolysiliziumfilm 8 dient als Gateoxidfilm des Dünnschichttransistors.

In diesem Dünnschichttransistor weist das Gate 8 ein unteres Zweiggate 8a, das über dem Isolierfilm 2 liegt, und eine Mehrzahl von Zweiggates 8b bis 8e, die von dem unteren Zweiggate 8a abzweigen, sich über das untere Zweiggate 8a erstrecken und dazwischen Durchgangslöcher aufweisen auf.

Der Kanal 6 weist Zweigkanäle 6a bis 6d auf, die von einer Seite der Zweiggates 8a bis 8e, d. h. einer Seite der Durchgangslöcher des Gates 8, abzweigen, wobei sich ein Ende durch die Durchgangslöcher des Gates 8 erstreckt. Die Zweigkanäle 6a bis 6d sind auf der anderen Seite der Zweiggates 8a bis 8e, d. h. auf der anderen Seite der Gatedurchgangslöcher, vereint.

Der Gateoxidfilm 7 ist zwischen den Zweigkanälen 6a bis 6d und den Zweiggates 8a bis 8e gebildet.

Ein nicht-gezeigter Source/Drainbereich ist an jedem Abschnitt des Kanals an gegenüberliegenden Seiten der Zweiggates 8b bis 8e, d. h. an gegenüberliegenden Seiten der Durchgangslöcher des Gates 8, gebildet. Der Dünnschichttransistor in der ersten Ausführungsform, der so aufgebaut ist, weist einen Kanalbereich auf, der größer ist als Vierfache des Kanalbereiches eines Einzelgate-TFT, wobei die gleiche Fläche belegt wird, und er weist eine Stromkapazität von mindestens mehr als das Achtfache der Stromkapazität des Einzelgate-TFT auf.

Im allgemeinen wird ein TFT als ein Lastelement (d. h. ein Lasttransistor) in einem SRAM verwendet und die restlichen Elemente des SRAM, d. h. ein Treibertransistor und ein Zugriffstransistor, sind an dem Halbleitersubstrat gebildet. Wenn ein SRAM, der ein TFT verwendet, hergestellt wird, werden zuerst ein Treibertransistor und ein Zugriffstransistor auf dem Halbleitersubstrat gebildet, wird ein Isolierfilm über dem Treibertransistor und dem Zugriffstransistor gebildet, wird ein TFT auf dem Isolierfilm gebildet, wird ein anderer Isolierfilm über dem TFT gebildet und werden dann Verdrahtungsleitungen aus Aluminium oder ähnlichem gebildet. Daher liegen die Gateelektroden des Treibertransistors und des Zugriffstransistors unterhalb des TFT und die Aluminiumverdrahtungsleitungen oder ähnliches liegen oberhalb des TFT.

Wenn der herkömmliche SRAM betrieben wird, wird der Kanal des TFT durch elektrische Felder beeinflusst, die durch die Elektroden erzeugt sind, was möglicherweise verursacht, daß Eigenschaften des TFT, wie zum Beispiel die Schwellenspannung, variieren. Da jedoch der Kanal des TFT in dieser Ausführungsform durch die Gates umgeben ist, wird der Kanal nicht durch obere und untere Verdrahtungsleitungen beeinflusst.

Zweite Ausführungsform

Fig. 4 bis 9 sind Ansichten zum Erklären eines Herstellungsverfahrens einer Halbleitereinrichtung in einer zweiten Ausführungsform zum Herstellen des in der ersten Ausführungsform erläuterten Dünnschichttransistors.

Das Herstellungsverfahren der Halbleitereinrichtung in der zweiten Ausführungsform mit Bezug zu Fig. 4 bis 9 und 1 bis 3 beschrieben. Wie in Fig. 4 gezeigt ist, wird ein Siliziumdioxidfilm 2 (Basisisolierfilm) einer vorbestimmten Dicke von beispielsweise 100,0 nm (1000 Å) auf einer Oberfläche eines Siliziumsubstrates 1 (Halbleitersubstrat) durch beispielsweise einen thermischen Oxidationsprozeß gebildet.

Ein Siliziumnitridfilm 3 (erstes Dummy-Teil) einer vorbestimmten Dicke von beispielsweise ungefähr 100,0 nm

(1000 Å) wird auf dem Siliziumdioxidfilm 2 durch einen CVD-Prozeß mit reduziertem Druck oder ähnliches unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 700 bis 800°C gebildet.

Danach wird der Siliziumnitridfilm 3 in einen Streifen mit einer Breite entsprechend der des Kanals des Transistors derart bemustert, daß eine Transistorbildungsposition (oder eine Elementbildungsposition) enthalten ist.

Wie in Fig. 5 gezeigt ist, wird ein nicht-dotierter Polysiliziumfilm (zweites Dummy-Teil) mit einer vorbestimmten Dicke von beispielsweise 100,0 nm (1000 Å) über dem bemusterten Siliziumnitridfilm 3 durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C gebildet.

Dann wird der Polysiliziumfilm 4 in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß derart bemustert, daß er den bemusterten Siliziumnitridfilm 3 schneidet und die Elementbildungsposition aufweist. Dann wird der Siliziumnitridfilm beispielsweise durch Eintauchen des Werkstückes in eine Lösung heißer Phosphorsäure von 150°C komplett entfernt. Folglich wird eine Öffnung in dem Polysiliziumfilm 4 gebildet.

Wie in Fig. 6 gezeigt ist, wird ein Siliziumnitridfilm 5 (drittes Dummy-Teil) durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 700 bis 800°C gebildet und der Siliziumnitridfilm 5 wird in einem vorbestimmten Muster durch einen photolithographischen Ätzprozeß bemustert.

Dann wird der Polysiliziumfilm 4 durch beispielsweise einen isotropen Ätzprozeß komplett entfernt. Folglich wird eine Öffnung in dem Siliziumnitridfilm 5 gebildet.

Der in Fig. 4 bis 6 gezeigte Prozeß wird derart wiederholt, daß zwei Öffnungen in dem Siliziumnitridfilm 5 gebildet werden, wie in Fig. 7 gezeigt ist. Der in Fig. 4 bis 6 gezeigte Prozeß wird noch einmal derart wiederholt, daß drei Öffnungen in dem Siliziumnitridfilm 5 gebildet werden, wie in Fig. 8 gezeigt ist. Eine Mehrzahl von Öffnungen werden beispielsweise in dem Siliziumnitridfilm 5 durch weiteres Wiederholen des in Fig. 4 bis 6 gezeigten Prozesses gebildet.

Ein Polysilizium, das keine Dotierung enthält, wird über den letzten Siliziumnitridfilm 5 (letztes Dummy-Teil) mit der Mehrzahl von Öffnungen abgeschieden. Ein CVD-Prozeß mit reduziertem Druck oder ähnliches wird derart verwendet, daß ein Kanalpolysiliziumfilm 6 (leitender Kanal-film) mit einer Dicke von 40,0 nm (400 Å) mit einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C gebildet wird.

Wie in Fig. 9 gezeigt ist, wird der Polysiliziumfilm 6 in einem gewünschten Muster durch einen photolithographischen Ätzprozeß derart bemustert, daß der letzte Siliziumnitridfilm 5 geschnitten wird und die Elementbildungsposition enthalten ist.

Danach wird der Siliziumnitridfilm 5 durch beispielsweise Eintauchen des Werkstückes in eine Lösung heißer Phosphorsäure von 150°C komplett entfernt. Da Siliziumdioxidfilme durch die Phosphorsäurenlösung nicht korrodiert werden, bleibt der Siliziumdioxidfilm 2 intakt. Somit werden vier Öffnungen in dem Kanalsiliziumfilm 6 gebildet.

Wie in Fig. 1 bis 3 gezeigt ist, wird ein Gatesiliziumdioxidfilm 7 (Oberflächenisolierfilm) einer vorbestimmten Dicke von beispielsweise 20,0 nm (200 Å) als Gateisolierfilm über der gesamten Oberfläche des Werkstückes durch einen CVD-Prozeß mit reduziertem Druck gebildet. Während des Prozesses wird beispielsweise eine Reaktionstemperatur in dem Bereich von 600 bis 700°C verwendet, so

daß der Basisiliziumdioxidfilm 2 und der Kanalsiliziumfilm 6 komplett mit dem Gatesiliziumdioxidfilm 7 bedeckt werden.

Ein mit Phosphor dotierter Gatepolysiliziumfilm 9 (d. h. ein dotierter Polysiliziumfilm) (leitender Gatefilm) einer Dicke von ungefähr 100,0 nm (1000 Å) wird über der gesamten Oberfläche des Werkstückes durch CVD mit reduziertem Druck unter Verwendung von SiH₄-Gas, das PH₃ enthält, bei einer Reaktionstemperatur in dem Bereich von beispielsweise 500 bis 700°C gebildet. Da der durch den CVD-Prozeß mit reduziertem Druck abgeschiedene Film eine ausgezeichnete Bedeckung aufweist, werden die in dem Kanalsiliziumfilm 5 gebildeten Öffnungen mit dem Gatepolysiliziumfilm 8 aufgefüllt.

Der Gatepolysiliziumfilm wird in einem vorbestimmten Muster durch einen photolithographischen Ätzprozeß derart bemustert, daß er den Kanalsiliziumfilm 6 schneidet, die Elementbildungsposition aufweist und die Gateelektrode 8 (siehe Fig. 1) bildet.

Obwohl es nicht gezeigt ist, werden die gegenüberliegenden Enden des Kanalsiliziumfilmes einer Source/Drain-Implantation unter Verwendung der Gateelektrode 8, die auf dem Kanalsiliziumfilm 6 angeordnet ist, ausgesetzt. Dann wird ein Schichtisolieroxidfilm gebildet und Verdrahtungsleitungen aus Aluminium oder ähnlichem werden so gebildet, daß sie sich von der Gateelektrode und dem Source/Drainbereich erstrecken, so daß ein gewünschter Transistor fertiggestellt wird.

Der Dünnfilmtransistor, der in der zweiten Ausführungsform aufgebaut ist, weist einen Kanalbereich von mehr als dem Vierfachen des eines Einzelgate-TFT auf, wobei die gleiche Fläche beansprucht wird, und er weist eine Stromkapazität von zumindest mehr als dem Vierfachen der des Einzelgate-TFT auf. Der oben dargestellte und beschriebene Dünnfilmtransistor weist eine Stromkapazität von zumindest mehr als den Achtfachen der eines Einzelgate-TFT auf.

Da der Kanal des TFT in dieser Ausführungsform durch die Gates umgeben ist, wird der Kanal nicht durch die oberen und unteren Verdrahtungsleitungen beeinflusst und die Eigenschaften des TFT werden nicht einer Variation ausgesetzt.

Bei der zweiten Ausführungsform können der Kanal bzw. das Gate durch Verarbeiten eines einzelnen leitenden Filmes durch einen einzelnen Prozeß gebildet werden. Das Verfahren des Herstellens einer Halbleitereinrichtung entsprechend dieser zweiten Ausführungsform kann wie folgt zusammengefaßt werden.

Zuerst wird ein streifenförmiges, erstes Dummy-Teil in einem Bereich, der eine Elementbildungsposition aufweist, auf einem Basisisolierfilm auf einem Halbleitersubstrat gebildet (erster Schritt). Dann wird ein streifenförmiges, zweites Dummy-Teil derart gebildet, daß es das erste Dummy-Teil an der Elementbildungsposition schneidet, und das erste Dummy-Teil wird entfernt (zweiter Schritt). Ein streifenförmiges, drittes Dummy-Teil wird derart gebildet, daß es das zweite Dummy-Teil an der Elementbildungsposition schneidet, und das zweite Dummy-Teil wird entfernt (dritter Schritt). Der erste bis dritte Schritt wird eine vorbestimmte Anzahl mal wiederholt, so daß Dummy-Teile über dem dritten Dummy-Teil gebildet werden. Ein streifenförmiger, leitender Kanalfilm für einen Kanal wird so gebildet, daß er das letzte Dummy-Teil an der Elementbildungsposition schneidet und das letzte Dummy-Teil wird entfernt. Ein Oberflächenisolierfilm wird über der gesamten Oberfläche des leitenden Kanalfilmes gebildet. Ein streifenförmiger, leitender Gatefilm für ein Gate wird so gebildet, daß er den mit dem Oberflächenisolierfilm 5 bedeckten leitenden Kanalfilm an der Elementbildungsposition schneidet.

Bei dem Verfahren wird bevorzugt jeder leitende Kanalfilm und/oder jeder leitende Gatefilm durch einen leitenden Einzelschichtfilm gebildet. Weiterhin werden der leitende Kanalfilm und/oder der leitende Gatefilm bevorzugt durch einen Polysiliziumfilm gebildet. Weiterhin werden das erste und das dritte Dummy-Teil bevorzugt durch Siliziumnitridfilme gebildet und wird das zweite Dummy-Teil bevorzugt durch einen Polysiliziumfilm gebildet. Weiterhin werden der leitende Kanalfilm und der leitende Gatefilm derart gebildet, daß sie sich zueinander senkrecht in einer dreidimensionalen Art erstrecken.

Dritte Ausführungsform

Fig. 10 bis 12 sind darstellende Figuren der Struktur einer Halbleitereinrichtung einer dritten Ausführungsform.

Fig. 10 ist eine perspektivische Ansicht eines Dünnfilmtransistors, Fig. 11 ist eine Querschnittsansicht entlang der Linie A-A' in Fig. 10 und Fig. 12 ist eine Querschnittsansicht entlang der Linie B-B' in Fig. 10.

Bei dem in Fig. 10 bis 12 gezeigten Dünnfilmtransistor weist ein Gate 8 ein unteres Zweiggate 8a, das an der Oberfläche eines Isolierfilmes 2 derart gebildet ist, daß teilweise ein Tunnel zwischen dem Isolierfilm und dem unteren Zweiggate 8a gebildet ist, und ein Zweiggate 8b, das von dem unteren Zweiggate 8a abzweigt und sich über das untere Zweiggate 8a derart erstreckt, daß dazwischen ein Durchgangsloch gebildet ist, und das mit dem unteren Zweiggate 8a über das Durchgangsloch verbunden ist, auf.

Ein Kanal 6 weist einen Zweigkanal 6a, der von einer Seite der Zweiggates 8a und 8b, d. h. von einer Seite des Durchgangsloches des Gates 8, abzweigt und sich durch den Tunnel des Gates 8 erstreckt, und einen Zweigkanal 6b, der sich durch das Durchgangsloch erstreckt, auf. Die Zweigkanäle 6a und 6b sind an der anderen Seite der Zweiggates 8a oder 8b, d. h. an der anderen Seite des anderen Endes des Durchgangsloches des Gates 8, vereint.

Die Zweigkanäle 6a und 6b sind von den Zweiggates 8a und 8b durch einen Gateoxidfilm 7 getrennt.

Ein nicht-gezeigter Source/Drain-Bereich ist so gebildet, daß er mit dem Kanal 6 jeweils an den Seiten der Zweiggates 8a und 8b, d. h. an den gegenüberliegenden Seiten des Durchgangsloches des Gates 8, verbunden ist.

Der Dünnfilmtransistor, der in der dritten Ausführungsform aufgebaut ist, weist einen Kanalbereich auf, der das Dreifache von dem des Einzelgate-TFT ist, wobei die gleiche Fläche belegt wird, und er weist eine Stromkapazität auf, die zumindest das Dreifache der des Einzelgate-TFT ist.

Da das Gate über dem Kanal des TFT dieser Ausführungsform liegt, wird der Kanal durch obere Verdrahtungsleitungen nicht beeinflusst und die Eigenschaften des TFT werden keiner Variation ausgesetzt.

Vierte Ausführungsform

Fig. 13 bis 17 sind beispielhafte Figuren eines Herstellungsverfahrens einer Halbleitereinrichtung einer vierten Ausführungsform zum Herstellen des in der dritten Ausführungsform gezeigten Dünnfilmtransistors.

Das Herstellungsverfahren der Halbleitereinrichtung der vierten Ausführungsform wird mit Bezug zu Fig. 10 bis 12 und 13 bis 17 beschrieben.

Wie in Fig. 13 gezeigt ist, wird ein Siliziumdioxidfilm 2 (Basisisolierfilm) einer vorbestimmten Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) auf einer Oberfläche eines Siliziumsubstrates 1 durch beispielsweise einen thermischen Oxidationsprozeß gebildet.

Ein Polysiliziumfilm 4 (zweites Dummy-Teil) einer vor-

bestimmten Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) wird durch einen CVD-Prozeß mit reduziertem Druck oder ähnliches unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C abgeschieden. (Die vierte Ausführungsform weist kein dem ersten Dummy-Teil 3 der zweiten Ausführungsform entsprechendes Teil auf.)

Danach wird der Polysiliziumfilm 4 zu einem Streifen mit einer Breite entsprechend der des Kanals des Transistors bemustert.

Wie in Fig. 14 gezeigt ist, wird ein Siliziumnitridfilm 5 (dritte Dummy-Teil) durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 700 bis 800°C abgeschieden und dann wird der Siliziumnitridfilm durch einen photolithographischen Ätzprozeß in ein gewünschtes Muster bemustert.

Wie in Fig. 15 gezeigt ist, wird der Polysiliziumfilm beispielsweise durch einen isotropen Polysiliziumätzprozeß entfernt. Folglich wird eine Öffnung unter dem Siliziumnitridfilm 5 gebildet.

Wie in Fig. 16 gezeigt ist, wird nicht-dotiertes Polysilizium über dem Siliziumnitridfilm 5 derart abgeschieden, daß ein Kanalsiliziumfilm 6 mit einer Dicke von beispielsweise 40,0 nm (400 Å) durch einen CVD-Prozeß mit reduziertem Druck oder ähnliches unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C gebildet wird. Dann wird der Kanalsiliziumfilm 6 in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß bemustert.

Danach wird der Siliziumnitridfilm 5 durch beispielsweise Eintauchen des Werkstückes in eine Lösung heißer Phosphorsäure von 150°C komplett entfernt, wie in Fig. 17 gezeigt ist. Da Siliziumdioxidfilme durch die Phosphorsäurelösung nicht korrodiert werden, bleibt der Siliziumdioxidfilm 2 intakt. Somit wird eine Öffnung in dem Kanalsiliziumfilm 6 gebildet.

Ein zweiter Siliziumdioxidfilm 7 mit einer vorbestimmten Dicke von beispielsweise 20,0 nm (200 Å), der als Gateisolierfilm dient, wird über der gesamten Oberfläche des Werkstückes durch einen CVD-Prozeß mit reduziertem Druck gebildet. Während dem Prozeß wird eine Reaktionstemperatur im Bereich von beispielsweise 600 bis 900°C verwendet, so daß der erste Siliziumdioxidfilm 2 und der Kanalsiliziumfilm 6 komplett mit dem zweiten Siliziumdioxidfilm 7 bedeckt werden.

Wie in Fig. 10 bis 12 gezeigt ist, wird ein phosphordotierter, zweiter Polysiliziumfilm 8 (d. h. dotierter Polysiliziumfilm) mit einer Dicke von ungefähr 100,0 nm (1000 Å) auf der gesamten Oberfläche des Werkstückes durch einen CVD mit reduziertem Druck unter Verwendung von SiH_4 -Gas, das PH_3 enthält, bei einer Reaktionstemperatur in dem Bereich von beispielsweise 500 bis 700°C gebildet. Da die Filme, die durch den CVD-Prozeß mit reduziertem Druck abgeschieden werden, eine ausgezeichnete Bedeckung aufweisen, wird die Öffnung, die in dem Kanalsiliziumfilm 6 gebildet ist, mit dem zweiten Polysiliziumfilm 8 aufgefüllt.

Der zweite Polysiliziumfilm 8 wird in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß (siehe Fig. 10) derart bemustert, daß eine Gateelektrode gebildet wird.

Obwohl es nicht gezeigt ist, wird eine Source/Drain-Implantation unter Verwendung der Gateelektrode 8, die über dem Kanalsiliziumfilm 6 gebildet ist, als Maske durchgeführt. Es wird Zwischenschicht-Isolieroxidfilm gebildet und Verdrahtungsleitungen aus Aluminium oder ähnlichem erstrecken sich von der Gateelektrode und den Source/Drain-Bereichen, so daß ein gewünschter Transistor fertiggestellt

wird.

Der in dieser Ausführungsform aufgebaute Dünnfilmtransistor weist einen Kanalbereich auf, der dreimal so groß ist wie der eines Einzelgate-TFT, wobei die gleiche Fläche belegt wird, und er weist eine Stromkapazität von mindestens dreimal der des Einzelgate-TFT auf.

Der Dünnfilmtransistor, der oben beschrieben und dargestellt wurde, weist eine Stromkapazität von mindestens mehr als acht Mal der des Einzelgate-TFT auf.

Da das Gate über den Kanal des TFT in dieser Ausführungsform liegt, wird der Kanal nicht durch obere Verdrahtungsleitungen beeinflusst und die Eigenschaften des TFT sind keiner Variation ausgesetzt.

In dieser Ausführungsform können der Kanal bzw. das Gate durch Bearbeiten eines einzelnen leitenden Filmes durch einen einzelnen Prozeß gebildet werden.

Das Herstellungsverfahren einer Halbleitereinrichtung entsprechend dieser vierten Ausführungsform kann wie folgt zusammengefaßt werden.

Zuerst wird ein streifenförmiges, zweites Dummy-Teil in einem Bereich, der eine Elementbildungsposition aufweist, auf einem Basisisolierfilm auf einem Halbleitersubstrat gebildet. Dann wird ein drittes, streifenförmiges Dummy-Teil derart gebildet, daß es das zweite Dummy-Teil an der Elementbildungsposition schneidet, und das zweite Dummy-Teil wird entfernt. Ein streifenförmiger, leitender Kanalfilm für einen Kanal wird derart gebildet, daß er das dritte Dummy-Teil an der Elementbildungsposition schneidet, und das dritte Dummy-Teil wird entfernt. Ein Oberflächenisolierfilm wird über der gesamten Oberfläche des leitenden Kanalfilmes gebildet. Ein leitender, streifenförmiger Gatefilm für ein Gate wird derart gebildet, daß der leitende Kanalfilm, der mit dem Oberflächenisolierfilm bedeckt ist, an der Elementbildungsposition geschnitten wird.

Fünfte Ausführungsform

Fig. 18 bis 20 sind beispielhafte Figuren einer Halbleitereinrichtung einer fünften Ausführungsform. Fig. 18 ist eine perspektivische Ansicht eines Dünnfilmtransistors, Fig. 19 ist eine Querschnittsansicht entlang der Linie A-A' in Fig. 18 und Fig. 20 ist eine Querschnittsansicht entlang der Linie B-B' in Fig. 18.

Wie in Fig. 18 bis 20 gezeigt ist, weist der Dünnfilmtransistor einen Isolierfilm 2 auf, der an einer Elementbildungsposition vorgesehen ist, die in ihrer Oberfläche eine Ausnehmung 9 aufweist. Ein Gate 8 weist ein unteres Zweiggate 8a, das in einem Abschnitt der Oberfläche des Isolierfilmes 2 entsprechend der Ausnehmung 9 gebildet ist, und eine Mehrzahl von Zweiggates 8b und 8c, die oberhalb des unteren Zweiggates 8a liegen und jeweils ein Durchgangsloch dazwischen aufweisen, auf.

Ein Kanal 6 weist Zweigkanäle 6a und 6b auf, die von einer Seite der Zweiggates 8a bis 8c, d. h. von einer Seite des Durchgangsloches des Gates 8, abzweigen und durch jedes Durchgangsloch des Gates 8 hindurchgehen. Die Zweigkanäle 6a und 6b sind an der anderen Seite der Zweiggates 8a bis 8c, d. h. der anderen Seite des Durchgangsloches, vereint.

Die Zweigkanäle 6a und 6b sind von den Zweiggates 8a bis 8c durch einen Gateoxidfilm 7 getrennt.

Ein Source/Drainbereich (nicht gezeigt) ist mit dem Kanal 6 jeweils an gegenüberliegenden Seiten der Zweiggates 8a bis 8c, d. h. an gegenüberliegenden Seiten des Durchgangsloches, verbunden.

Der in dieser Ausführungsform aufgebaute Dünnfilmtransistor weist eine Kanalfläche von viermal der eines Einzelgate-TFT, wobei die gleiche Fläche beansprucht wird, und

eine Stromkapazität von zumindest viermal der des Einzel-gate-TFT auf.

Die Höhe der Stufen in dieser Ausführungsform ist um eine Höhe entsprechend der Tiefe der Ausnehmung 9 reduziert.

Da der Kanal des TFT in dieser Ausführungsform durch das Gate umgeben ist, wird der Kanal nicht durch obere und untere Verdrahtungsleitungen beeinflusst und die Eigenschaften des TFT werden keiner Variation ausgesetzt.

Schließlich kann die Konstruktion der Halbleitereinrichtung entsprechend dieser fünften Ausführungsform wie folgt zusammengefaßt werden.

Die Halbleitereinrichtung weist ein Halbleitersubstrat auf, das mit einer Ausnehmung vorgesehen ist. Ein Isolierfilm ist auf einer Oberfläche der Ausnehmung und auf einer Oberfläche des Halbleitersubstrates gebildet. Ein Gate ist vorgesehen, das ein unteres Zweiggate aufweist, das so gebildet ist, daß es sich auf der Oberfläche des Isolierfilmes, der auf der Oberfläche der Ausnehmung gebildet ist, und auf der Oberfläche des Isolierfilmes erstreckt. Das Gate weist weiterhin eine Mehrzahl von anderen Zweiggates auf, die von einem Ende abzuweichen und sich über das untere Zweiggate erstrecken. Eine Mehrzahl von Gatedurchgangslöchern sind zwischen dem unteren Zweiggate und den anderen Zweiggates jeweils vorgesehen. Ein Kanal ist vorgesehen, der eine Mehrzahl von Zweigkanälen aufweist, die von einer Seite der Gatedurchgangslöcher abzuweichen und sich durch die Gatedurchgangslöcher erstrecken. Die Zweigkanäle sind auf der anderen Seite der Gatedurchgangslöcher vereint. Weiterhin ist jeder der Source/Drain-Bereiche derart gebildet, daß er mit dem Kanal an den gegenüberliegenden Seiten der Gatedurchgangslöcher verbunden ist.

Sechste Ausführungsform

Fig. 21 bis 25 sind beispielhafte Figuren eines Herstellungsverfahrens einer Halbleitereinrichtung einer sechsten Ausführungsform zum Herstellen des in der fünften Ausführungsform gezeigten Dünnfilmtransistors.

Das Herstellungsverfahren der Halbleitereinrichtung in der sechsten Ausführungsform wird im folgenden mit Bezug zu Fig. 18 bis 20 und 21 bis 25 beschrieben.

Wie in Fig. 21 gezeigt ist, wird ein Siliziumdioxidfilm 2 einer vorbestimmten Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) auf einer Oberfläche eines Siliziumsubstrates 1 durch beispielsweise einen thermischen Oxidationsprozeß gebildet.

Eine Resistmaske eines gewünschten Musters wird durch einen photolithographischen Prozeß gebildet und ein Teil des Siliziumdioxidfilmes 2 wird durch einen anisotropen Trockenätzprozeß derart entfernt, daß eine Ausnehmung 9 einer vorbestimmten Abmessung (siehe Fig. 21) gebildet wird. Wenn die Ausnehmung 9 durch den anisotropen Trockenätzprozeß gebildet wird, kann ein Abschnitt des Siliziumdioxidfilmes 2, der der Ausnehmung 9 entspricht, komplett entfernt werden. Somit wird ein Abschnitt der Oberfläche des Siliziumsubstrates entsprechend der Ausnehmung 9 freigelegt oder ein Teil des Abschnittes des Siliziumdioxidfilmes 2 entsprechend der Ausnehmung 9 kann verbleiben und wird nicht entfernt. Somit muß der Abschnitt der Oberfläche des Siliziumsubstrates nicht freigelegt werden, vorausgesetzt, daß die Ausnehmung mit einer vorbestimmten Tiefe von beispielsweise ungefähr 50,0 nm (500 Å) gebildet wird. Die Abmessung (oder Fläche) der Ausnehmung 9 ist etwas größer als die Abmessung (L und W) des Kanals des Dünnfilmtransistor, der hergestellt werden soll.

Wie in Fig. 22 gezeigt ist, wird Siliziumnitrid durch einen CVD-Prozeß mit reduziertem Druck bei einer Reaktions-

temperatur in dem Bereich von beispielsweise 400 bis 700°C derart abgeschieden, daß die Ausnehmung 9 gefüllt wird und ein Siliziumnitridfilm 3 (erstes Dummy-Teil) gebildet wird. Der Siliziumnitridfilm 3 wird durch einen anisotropen Trockenätzen derart zurückgeätzt, daß der Siliziumnitridfilm 3 etwas entfernt wird, und das Ätzen wird gestoppt, wenn die Oberfläche des Oxidfilmes 2 freigelegt wird. Somit wird der Siliziumnitridfilm 3 nur in der Ausnehmung 9 gebildet und die Oberfläche des Werkstückes wird eben.

Ein nicht dotierter Polysiliziumfilm 4 (zweites Dummy-Teil) einer vorbestimmten Dicke von beispielsweise 100,0 nm (1000 Å) wird durch einen CVD-Prozeß mit reduziertem Druck oder ähnliches unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C abgeschieden.

Danach wird der Polysiliziumfilm 4 in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß bemustert.

Wie in Fig. 24 gezeigt ist, wird ein Siliziumnitridfilm 5 (drittes Dummy-Teil) einer vorbestimmten Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C abgeschieden und dann wird der Siliziumnitridfilm 5 in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß bemustert.

Dann wird der Polysiliziumfilm 4 durch beispielsweise einen isotropen Polysiliziumätzprozeß komplett entfernt. Folglich wird eine Öffnung in einer Struktur gebildet, die aus dem Siliziumnitridfilm 3 und dem Siliziumnitridfilm 5 besteht.

Wie in Fig. 25 gezeigt ist, wird nicht dotiertes Polysilizium durch einen CVD-Prozeß mit reduziertem Druck oder ähnliches unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C über dem Siliziumnitridfilm 5 derart abgeschieden, daß ein Kanalsiliziumfilm 6 mit einer Dicke von beispielsweise 40,0 nm (400 Å) gebildet wird. Dann wird der Kanalsiliziumfilm 6 in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß bemustert.

Danach werden die Siliziumnitridfilme 3 und 5 durch beispielsweise Eintauchen des Werkstückes in eine Lösung heißer Phosphorsäure von 150°C komplett entfernt. Da Siliziumdioxidfilme durch eine Phosphorsäurelösung nicht korrodiert werden, verbleibt der Siliziumdioxidfilm 2 intakt. Somit wird eine Öffnung in dem Kanalsiliziumfilm 6 gebildet.

Wie in Fig. 18 bis 20 gezeigt ist, wird ein Siliziumdioxidfilm 7 einer vorbestimmten Dicke von beispielsweise 20,0 nm (200 Å), der als Gateisolierfilm dient, über der gesamten Oberfläche des Werkstückes durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 600 bis 900°C gebildet. Somit werden der Siliziumdioxidfilm 2 und der Kanalsiliziumfilm 6 komplett mit dem Siliziumdioxidfilm 7 bedeckt.

Danach wird ein Gatepolysiliziumfilm 8 (d. h. ein dotierter Polysiliziumfilm) mit einer Dicke von ungefähr 100,0 nm (1000 Å) über der gesamten Oberfläche des Werkstückes durch einen CVD mit reduziertem Druck unter Verwendung von SiH_4 -Gas, das PH_3 enthält, bei einer Reaktionstemperatur in dem Bereich von beispielsweise 500 bis 700°C gebildet. Da Filme, die durch einen CVD-Prozeß mit reduziertem Druck abgeschieden sind, eine exzellente Bedeckung aufweisen, wird die Öffnung, die in dem Kanalsiliziumfilm 6 gebildet ist, mit dem Gatepolysiliziumfilm 8 aufgefüllt. Der Gatepolysiliziumfilm 8 wird in ein gewünschtes

Muster durch einen photolithographischen Ätzprozeß (siehe Fig. 18) derart bemustert, daß eine Gateelektrode 8 gebildet wird.

Obwohl es nicht gezeigt ist, wird eine Source/Drain-Implantation unter Verwendung der Gateelektrode 8, die über dem Kanalsiliziumfilm 6 gebildet ist, als Maske durchgeführt. Es wird ein Schichtisolieroxidfilm gebildet und Verdrahtungsleitungen aus Aluminium oder ähnlichem erstrecken sich von der Gateelektrode und dem Source/Drainbereich derart, daß der gewünschte Transistor fertiggestellt wird.

Der so aufgebaute Dünnfilmtransistor dieser Ausführungsform weist einen Kanalbereich von viermal dem eines Einzelgate-TFT, wobei die gleiche Fläche beansprucht wird, und eine Stromkapazität von zumindest viermal der des Einzelgate-TFT auf.

In dieser Ausführungsform ist die Höhe der Stufen durch eine Höhe entsprechend der Tiefe der in dem Siliziumdioxidfilm 2 gebildeten Ausnehmung 9 reduziert.

Da der Kanal des TFT in dieser Ausführungsform durch das Gate umgeben ist, wird der Kanal nicht durch obere und untere Verdrahtungsleitungen beeinflusst und die Eigenschaften des TFT sind keiner Variation ausgesetzt.

In dieser Ausführungsform können der Kanal und/oder das Gate durch Bearbeiten eines einzelnen, leitenden Filmes durch einen einzelnen Prozeß gebildet werden.

Schließlich wird das Herstellungsverfahren einer Halbleitereinrichtung entsprechend dieser sechsten Ausführungsform wie folgt zusammengefaßt.

Zuerst wird eine Ausnehmung in einem Halbleitersubstrat an einer Elementbildungsposition gebildet. Dann wird ein Basisisolierfilm derart gebildet, daß eine Oberfläche der Ausnehmung und eine Oberfläche des Halbleitersubstrates bedeckt wird. Die Ausnehmung wird mit einem ersten Dummy-Teil aufgefüllt. Ein zweites, streifenförmiges Dummy-Teil wird derart gebildet, daß es sich über das erste Dummy-Teil, das die Ausnehmung füllt, und ebenfalls über die Oberfläche des Halbleitersubstrates, das mit dem Basisisolierfilm bedeckt ist, erstreckt. Ein drittes, streifenförmiges Dummy-Teil wird derart gebildet, daß es das zweite Dummy-Teil an der Elementbildungsposition schneidet. Ein leitender, streifenförmiger Kanalfilm für einen Kanal wird so gebildet, daß er das dritte Dummy-Teil an der Elementbildungsposition schneidet, und das dritte und erste Dummy-Teil werden entfernt. Ein Oberflächenisolierfilm wird an der Oberfläche des leitenden Kanalfilmes gebildet. Ein streifenförmiger, leitender Gatefilm für ein Gate wird so gebildet, daß er den leitenden Kanalfilm, der mit dem Oberflächenisolierfilm bedeckt ist, an der Elementbildungsposition schneidet.

Siebte Ausführungsform

Fig. 26 bis 28 sind beispielhafte Figuren einer Struktur einer Halbleitereinrichtung einer siebten Ausführungsform. Fig. 26 ist eine perspektivische Ansicht eines Dünnfilmtransistors, Fig. 27 ist eine Querschnittsansicht entlang der Linie A-A' in Fig. 26 und Fig. 28 ist eine Querschnittsansicht entlang der Linie B-B' in Fig. 26.

Wie in Fig. 26 bis 28 gezeigt ist, weist ein Gate 8 ein unteres Zweiggate 8a auf, das an der Oberfläche eines Isolierfilmes 2 gebildet ist. Das Gate 8 weist ebenfalls eine Mehrzahl von Zweiggates 8b und 8c auf, die von dem unteren Zweiggate 8a abzweigen und über dem unteren Zweiggate 8a liegen, wobei dazwischen entsprechende Durchgangslöcher vorgesehen sind.

Ein Kanal 6 weist Zweigkanäle 6a und 6b auf, die von einer Seite der Zweiggates 8a bis 8c, d. h. von einer Seite des

Durchgangsloches des Gates 8, abzweigen und sich durch die entsprechenden Durchgangslöcher erstrecken. Die Zweigkanäle 6a und 6b sind an der anderen Seite der Zweiggates 8a bis 8c, d. h. der anderen Seite des Durchgangsloches, vereint.

Die Zweigkanäle 6a und 6b sind von den Zweiggates 8a bis 8c durch einen Gateoxidfilm 7 getrennt.

Ein Source/Drainbereich (nicht gezeigt) ist mit dem Kanal 6 jeweils an gegenüberliegenden Seiten der Zweiggates 8a und 8c, d. h. an den gegenüberliegenden Seiten des Durchgangsloches, verbunden.

Obwohl der Dünnfilmtransistor der siebten Ausführungsform sich von dem Dünnfilmtransistor der ersten Ausführungsform in der Anzahl der Zweiggates und der Anzahl der Zweigkanäle unterscheidet, basieren der Dünnfilmtransistor der ersten und der der siebten Ausführungsform auf demselben strukturellen Konzept.

Der in dieser Ausführungsform gezeigte Dünnfilmtransistor weist einen Kanalbereich von viermal dem eines Einzelgate-TFT, wobei derselbe Bereich beansprucht ist, und eine Stromkapazität von zumindest viermal der des Einzelgate-TFT auf.

Da der Kanal des TFT in dieser Ausführungsform durch das Gate umgeben ist, wird der Kanal nicht durch obere und untere Verdrahtungsleitungen beeinflusst und die Eigenschaften des TFT werden nicht einer Variation ausgesetzt.

Achte Ausführungsform

Fig. 29 bis 34 sind beispielhafte Figuren eines Herstellungsverfahrens einer Halbleitereinrichtung einer achten Ausführungsform zum Herstellen des in der siebten Ausführungsform gezeigten Dünnfilmtransistors.

Das Herstellungsverfahren der Halbleitereinrichtung in dieser Ausführungsform wird mit Bezug zu Fig. 26 bis 28 und 29 bis 34 beschrieben.

Wie in Fig. 29 gezeigt ist, wird ein Siliziumdioxidfilm 2 (Basisisolierfilm) einer vorbestimmten Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) auf einer Oberfläche eines Siliziumsubstrates 1 (Halbleitersubstrat) durch beispielsweise einen thermischen Oxidationsprozeß gebildet.

Ein Siliziumnitridfilm 3 (erstes Dummy-Teil) einer vorbestimmten Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) wird durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C auf dem Siliziumdioxidfilm 2 gebildet.

Ein Polysiliziumfilm 4 (zweites Dummy-Teil) einer vorbestimmten Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) wird durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 600 bis 900°C gebildet.

Dann wird der Polysiliziumfilm 4 in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß bemustert.

Wie in Fig. 30 gezeigt ist, wird ein Siliziumnitridfilm 5 (drittes Dummy-Teil) mit einer vorbestimmten Dicke von beispielsweise 100,0 nm (1000 Å) durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C gebildet. Dann wird der Siliziumnitridfilm 5 in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß unter Verwendung einer Resistmaske 101 bemustert.

Wie in Fig. 30 und 31 gezeigt ist, wird in einem Zustand, bei dem die Resistmaske 101 vorhanden ist, der Polysiliziumfilm 4 beispielsweise durch einen isotropen Ätzprozeß komplett entfernt.

Wie in Fig. 30 und 31 gezeigt ist, wird in einem Zustand, bei dem Resistmaske 101 vorhanden ist, der Siliziumnitridfilm 3 in ein gewünschtes Muster durch einen anisotropen Ätzprozeß bemustert. Folglich wird eine Öffnung in einer Struktur, die aus dem ersten Siliziumnitridfilm 3 und dem Siliziumnitridfilm 5 besteht, gebildet.

Wie in Fig. 32 gezeigt ist, wird nicht dotiertes Polysilizium mit einer vorbestimmten Dicke von beispielsweise 40,0 nm (400 Å) über der Oberfläche des Werkstückes durch beispielsweise einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C derart abgeschieden, daß ein Kanalsiliziumfilm 6 gebildet wird. Der Kanalsiliziumfilm 6 wird in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß unter Verwendung einer Resistmaske 102 bemustert.

Wie in Fig. 32 und 33 gezeigt ist, werden in einem Zustand, bei dem die Resistmaske 102 vorhanden ist, die Siliziumnitridfilme 3 und 5 durch ein anisotropes Ätzen derart geätzt, daß die Siliziumnitridfilme bis auf die Abschnitte in den Öffnungen entfernt werden. Somit werden die Öffnungen des Kanalsiliziumfilmes 6 aufgefüllt und dann wird die Resistmaske 102 entfernt (siehe Fig. 33).

Wie in Fig. 34 gezeigt ist, werden die Siliziumnitridfilme beispielsweise durch Eintauchen des Werkstückes in eine Lösung heißer Phosphorsäure von 150°C vollständig entfernt. Da Siliziumdioxidfilme durch die Phosphorsäurelösung nicht korrodiert werden, verbleibt der Siliziumdioxidfilm 2 intakt. Somit wird eine Öffnung in dem Kanalsiliziumfilm 6 gebildet.

Wie in Fig. 26 bis 28 gezeigt ist, wird ein Gatesiliziumdioxidfilm 7 einer vorbestimmten Dicke von beispielsweise 20,0 nm (200 Å) derart abgeschieden, daß der Siliziumdioxidfilm 2 und der Kanalsiliziumfilm 6 komplett bedeckt werden. Ein CVD-Prozeß mit reduziertem Druck wird mit einer Reaktionstemperatur in dem Bereich von beispielsweise 600 bis 900°C verwendet.

Danach wird ein Gatepolysiliziumfilm 8 (d. h. ein dotierter Polysiliziumfilm) mit einer Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) über der gesamten Oberfläche des Werkstückes durch ein CDV mit reduziertem Druck, das SiH₄-Gas, das PH₃ enthält, verwendet, bei einer Reaktionstemperatur in dem Bereich von beispielsweise 500 bis 700°C gebildet. Da Filme, die durch einen CVD-Prozeß mit reduziertem Druck abgeschieden sind, eine exzellente Bedeckung aufweisen, ist die Öffnung, die in dem Kanalsiliziumfilm 6 gebildet ist, mit dem Gatepolysiliziumfilm 8 aufgefüllt.

Der Gatepolysiliziumfilm 8 wird in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß derart bemustert, daß eine Gateelektrode 8 (siehe Fig. 26) gebildet wird.

Obwohl es nicht gezeigt ist, wird eine Source/Drain-Implantation unter Verwendung der Gateelektrode 8, die über dem Kanalsiliziumfilm 6 gebildet ist, als Maske durchgeführt. Es wird ein Zwischenschicht-Isolieroxidfilm gebildet und Verdrahtungsleitungen aus Aluminium oder ähnlichem erstrecken sich von der Gateelektrode und dem Source/Drainbereich, so daß ein gewünschte Transistor fertiggestellt wird.

Der in dieser Ausführungsform konstruierte Dünnsilmtransistor weist einen Kanalbereich von viermal dem eines Einzelgate-TFT, wobei derselbe Bereich beansprucht wird, und eine Stromkapazität von zumindest viermal der des Einzelgate-TFT auf.

Da die Zeit zum Entfernen des Nitridfilmes unter Verwendung einer heißen Phosphorsäurelösung reduziert werden kann, kann ein Schaden des Kanalsiliziumfilmes, der durch

die heiße Phosphorsäurelösung bedingt ist, reduziert werden.

Da der TFT-Kanal durch das Gate umgeben ist, wird der Kanal nicht durch obere und untere Verdrahtungsleitungen beeinflusst, und die Eigenschaften des TFT sind keiner Variation ausgesetzt.

In dieser Ausführungsform werden der Kanal bzw. das Gate durch Verarbeitung eines einzelnen, leitenden Filmes durch einen einzelnen Prozeß gebildet.

Schließlich kann das Herstellungsverfahren einer Halbleitereinrichtung entsprechend dieser achten Ausführungsform wie folgt zusammengefaßt werden.

Zuerst wird ein erstes Dummy-Teil an eine Oberfläche eines Basisisolierfilmes, der an einer Oberfläche eines Halbleitersubstrates gebildet ist, gebildet. Dann wird ein zweites, streifenförmiges Dummy-Teil in einem Bereich, der eine Elementbildungsposition aufweist, auf einem Halbleitersubstrat, auf dem das erste Dummy-Teil gebildet ist, gebildet.

Ein drittes, streifenförmiges Dummy-Teil, das mit einer Resistmaske bedeckt ist, wird derart gebildet, daß es das zweite Dummy-Teil an der Elementbildungsposition schneidet. Das zweite Dummy-Teil wird durch die Resistmaske entfernt und das erste Dummy-Teil wird entlang des dritten Dummy-Teiles bemustert. Ein leitender, streifenförmiger

Kanalfilm für einen Kanal, der mit einer Resistmaske bedeckt ist, wird derart gebildet, daß er das dritte Dummy-Teil an der Elementbildungsposition schneidet. Das dritte Dummy-Teil und das bemusterte erste Dummy-Teil werden durch anisotropes Ätzen unter Verwendung der Resistmaske bemustert. Ein Abschnitt des dritten Dummy-Teils, der mit dem leitenden Kanalfilmes bedeckt ist und nach dem anisotropen Ätzen verbleibt, wird entfernt und das erste Dummy-Teil wird entfernt.

Ein Oberflächenisolierfilm wird über der gesamten Oberfläche des leitenden Kanalfilmes gebildet. Ein leitender, streifenförmiger Gatefilm für ein Gate wird derart gebildet, daß er den leitenden Kanalfilm, der mit dem Oberflächenisolierfilm bedeckt ist, an der Elementbildungsposition schneidet.

Neunte Ausführungsform

Fig. 35 bis 37 sind beispielhafte Figuren einer Struktur einer Halbleitereinrichtung einer neunten Ausführungsform. Fig. 35 ist eine perspektivische Ansicht eines Dünnsilmtransistors, Fig. 36 ist eine Querschnittsansicht entlang der Linie A-A' in Fig. 35 und Fig. 37 ist eine Querschnittsansicht entlang der Linie B-B' in Fig. 35.

Wie in Fig. 35 bis 37 gezeigt ist, weist ein in diesem Dünnsilmtransistor enthaltener Kanal 6 einen unteren Zweigkanal 6a, der an der Oberfläche eines Isolierfilmes 2 liegt, und eine Mehrzahl von Zweigkanälen 6b und 6c, die von dem unteren Zweigkanal 6a abzweigen und über ihm liegen, auf.

Ein Gate 8 weist Zweiggates 8a und 8b auf, die von einer Seite der Zweigkanäle 6a bis 6c, d. h. von einer Seite eines Durchgangsloches des Kanales 6, abzweigen und jeweils durch das Durchgangsloch des Kanales 6 hindurchgehen. Die Zweiggates 8a und 8b sind an der anderen Seite der Zweigkanäle 6a bis 6c, d. h. an der anderen Seite des Durchgangsloches des Kanales 6, vereint.

Die Zweigkanäle 6a und 6c sind von den Zweiggates 8a bis 8b durch einen Gateoxidfilm 7 getrennt.

Ein Source/Drainbereich (nicht gezeigt) ist mit dem Kanal 6 jeweils an gegenüberliegenden Seiten der Zweiggates 8a und 8b, d. h. an den gegenüberliegenden Seiten des Durchgangsloches des Gates 8, verbunden.

Der in dieser Ausführungsform konstruierte Dünnsilm-

transistor weist einen Kanalbereich von viermal dem eines Einzelgate-TFT, wobei die gleiche Fläche beansprucht wird, und eine Stromkapazität von zumindest viermal der des Einzelgate-TFT auf.

Da der TFT-Kanal durch das Gate umgeben ist, wird der Kanal nicht durch obere und untere Verdrahtungsleitungen beeinflusst, und die Eigenschaften des TFT werden nicht einer Variation ausgesetzt.

Zehnte Ausführungsform

Fig. 38 bis 41 sind beispielhafte Figuren eines Herstellungsverfahrens einer Halbleitereinrichtung einer zehnten Ausführungsform zum Herstellen des in der neunten Ausführungsform gezeigten Dünnfilmtransistors.

Das Herstellungsverfahren der Halbleitereinrichtung in dieser Ausführungsform wird im folgenden mit Bezug zu Fig. 35 bis 37 und 38 bis 41 beschrieben.

Wie in Fig. 38 gezeigt ist, wird ein Siliziumdioxidfilm 2 einer vorbestimmten Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) auf einer Oberfläche eines Siliziumsubstrates 1 durch beispielsweise einen thermischen Oxidationsprozeß gebildet.

Ein Siliziumnitridfilm 3 (erstes Dummy-Teil) einer vorbestimmten Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) ist auf dem Siliziumdioxidfilm 2 durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 700 bis 800°C gebildet.

Der Siliziumnitridfilm 3 wird in der Form eines Streifens mit einer Breite, die dem Kanal eines herzustellenden Transistors entspricht, bemustert.

Ein nicht-dotierter Polysiliziumfilm 4 (zweites Dummy-Teil) einer vorbestimmten Dicke von beispielsweise 100,0 nm (1000 Å) wird auf dem Siliziumnitridfilm 3 durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C gebildet.

Dann wird der Polysiliziumfilm 4 in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß bemustert, wie in Fig. 39 gezeigt ist.

Dann wird der Siliziumnitridfilm durch Eintauchen des Werkstückes in eine Lösung heißer Phosphorsäure von 150°C komplett entfernt. Folglich wird eine Öffnung in dem Polysiliziumfilm 4 gebildet.

Ein Siliziumnitridfilm 5 wird über der gesamten Oberfläche des Werkstückes durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 700 bis 800°C gebildet.

Dann wird der Siliziumnitridfilm 5 in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß bemustert, wie in Fig. 40 gezeigt ist.

Dann wird der Siliziumnitridfilm 4 durch beispielsweise einen isotropen Polysiliziumätzprozeß komplett entfernt. Folglich wird eine Öffnung in dem Siliziumnitridfilm 5 gebildet.

Danach wird eine Gateelektrode 8 aus Polysilizium auf der Oberfläche des Werkstückes gebildet. Ein Polysiliziumfilm 8 (d. h. ein dotierter Polysiliziumfilm) mit einer Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) wird über der gesamten Oberfläche des Werkstückes durch einen CVD mit reduziertem Druck, das SiH₄-Gas, das PH₃ enthält, verwendet, bei einer Reaktionstemperatur in dem Bereich von beispielsweise 500 bis 700°C gebildet.

Der Polysiliziumfilm 8 wird in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß bemustert.

Wie in Fig. 41 gezeigt ist, wird der Siliziumnitridfilm 5 durch beispielsweise Eintauchen des Werkstückes in eine

Lösung heißer Phosphorsäure von 150°C komplett entfernt. Da Siliziumdioxidfilme durch die Phosphorsäurelösung nicht korrodiert werden, verbleibt der Siliziumdioxidfilm 2 intakt. Somit wird eine Öffnung in dem Gatepolysiliziumfilm 8 gebildet.

Wie in Fig. 35 bis 37 gezeigt ist, wird ein Gatesiliziumdioxidfilm 7, d. h. ein Gateisolierfilm, mit einer vorbestimmten Dicke von beispielsweise 20,0 nm (200 Å) über der gesamten Oberfläche des Werkstückes durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 600 bis 900°C gebildet. Der Siliziumdioxidfilm 2 und der Gatepolysiliziumfilm 8 werden mit dem Siliziumdioxidfilm 7 komplett bedeckt.

Ein nicht-dotiertes Polysilizium wird durch einen CVD-Prozeß mit reduziertem Druck oder ähnliches unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C derart gebildet, daß ein Kanalpolysiliziumfilm 6 mit einer vorbestimmten Dicke von beispielsweise 40,0 nm (400 Å) gebildet wird. Da Filme, die durch einen CVD-Prozeß mit reduziertem Druck abgeschieden sind, eine ausgezeichnete Bedeckung aufweisen, wird die Öffnung, die in dem Gatepolysiliziumfilm 8 gebildet ist, mit dem Kanalpolysiliziumfilm 6 aufgefüllt.

Der Kanalpolysiliziumfilm 6 wird in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß derart bemustert, daß der Kanalsiliziumfilm 6 gebildet wird (siehe Fig. 35).

Obwohl es nicht gezeigt ist, wird danach eine Resistmaske auf dem Kanalsiliziumfilm 6 durch Photolithographie gebildet, und wird eine Source/Drain-Implantation unter Verwendung der so gebildeten Resistmaske durchgeführt. Ein Zwischenschicht-Isolieroxidfilm wird gebildet und Verdrahtungsleitungen aus Aluminium oder ähnlichem erstrecken sich von der Gateelektrode und dem Source/Drainbereich, so daß ein gewünschter Transistor fertiggestellt wird.

Der in dieser Ausführungsform konstruierte Dünnfilmtransistor weist einen Kanalbereich von viermal dem eines Einzelgate-TFT, wobei der gleiche Bereich beansprucht wird, und eine Stromkapazität von zumindest viermal der des Einzelgate-TFT auf.

Im allgemeinen weist der Prozeß die Schritte eines Gateoxidfilmscheidens, eines Gatepolysiliziumabscheidens und eines Gatepolysiliziumätzens auf, wobei Ätzen des Gatepolysiliziums aufgrund der geringen Ätzselektivität zwischen Polysilizium und dem Oxidfilm schwierig ist. In dieser Ausführungsform kann jedoch der Gatepolysiliziumfilm ohne Schwierigkeit geätzt werden, da der Kanalpolysiliziumfilm dünner ist als der Gatepolysiliziumfilm.

Da der TFT-Kanal durch das Gate in dieser Ausführungsform umgeben ist, wird der Kanal nicht durch obere und untere Verdrahtungsleitungen beeinflusst, und die Eigenschaften des TFT sind keiner Variation ausgesetzt.

Weiterhin kann in dieser Ausführungsform der Kanal bzw. das Gate durch Verarbeiten eines einzelnen, leitenden Filmes durch einen einzelnen Prozeß gebildet werden.

Schließlich kann das Herstellungsverfahren einer Halbleitereinrichtung dieser zehnten Ausführungsform wie folgt zusammengefaßt.

Zuerst wird ein erstes, streifenförmiges Dummy-Teil in einem Bereich, der eine Elementbildungsposition aufweist, auf einem Basisisolierfilm auf einem Halbleitersubstrat gebildet. Dann wird ein zweites, streifenförmiges Dummy-Teil derart gebildet, daß es das erste Dummy-Teil an der Elementbildungsposition schneidet, und das erste Dummy-Teil wird entfernt. Ein drittes, streifenförmiges Dummy-Teil wird derart gebildet, daß es das zweite Dummy-Teil an der Elementbildungsposition schneidet, und das zweite

Dummy-Teil wird entfernt. Ein leitender, streifenförmiger Gatefilm für ein Gate wird so gebildet, daß er das dritte Dummy-Teil an der Elementbildungsposition schneidet, und das dritte Dummy-Teil wird entfernt. Ein Oberflächenisolfilm wird auf dem leitenden Gatefilm gebildet. Ein leitender, streifenförmiger Kanalfilm für einen Kanal wird so gebildet, daß er den leitenden Gatefilm, der mit dem Oberflächenisolfilm bedeckt ist, an der Elementbildungsposition schneidet.

Elfte Ausführungsform

Fig. 42 bis 44 sind beispielhafte Figuren einer Struktur einer Halbleitereinrichtung einer elften Ausführungsform. Fig. 42 ist eine perspektivische Ansicht eines Dünnfilmtransistors, Fig. 43 ist eine Querschnittsansicht entlang der Linie A-A' in Fig. 42 und Fig. 44 ist eine Querschnittsansicht entlang der Linie B-B' in Fig. 42.

Wie in Fig. 42 bis 44 gezeigt ist, weist ein Kanal 6 in diesem Dünnfilmtransistor einen unteren Zweigkanal 61, der auf der Oberfläche eines Isolierfilmes 2 liegt, einen parallelen, unteren Zweigkanal 6a, der von dem Zweigkanal 61 an einer Elementbildungsposition abzweigt, einen Seitenkanal 62, der kontinuierlich bzw. verbunden mit dem unteren Kanal 61 ist, einen oberen Kanal 6c, der kontinuierlich mit dem Seitenkanal 62 ist, und einen parallelen, mittleren Zweigkanal 6b, der von dem Seitenkanal 62 abzweigt und oberhalb des parallelen, unteren Zweigkanals 6a liegt, auf. Ein Durchgangsloch ist zwischen dem unteren, dem mittleren und dem oberen Kanal vorgesehen. Weiterhin sind der untere Zweigkanal 6a und der mittlere Zweigkanal 6b, der oberhalb des unteren Zweigkanals 6a liegt, mit einem Abstand voneinander angeordnet.

Ein Gate 8 weist Zweiggates 8a und 8b auf, die von einer Seite der Zweigkanäle 6a bis 6c, d. h. von einer Seite des Durchgangsloches des Kanals 6, abzweigen und sich jeweils durch das Loch des Kanals 6 erstrecken, und wobei sie an der anderen Seite der Zweigkanäle 6a bis 6c, d. h. der anderen Seite des Durchgangsloches des Kanals 6, vereint sind. Weiterhin ist ein Zweiggate in einen Zwischenraum zwischen den parallelen, unteren Zweigkanälen 6a und in einem Zwischenraum zwischen den parallelen, mittleren Zweigkanälen 6b eingefüllt.

Die Zweigkanäle 6a bis 6c sind von den Zweiggates 8a und 8b durch einen Gateoxidfilm 7 getrennt.

Ein Source/Drainbereich (nicht gezeigt) ist mit dem Kanal 6 jeweils an gegenüberliegenden Seiten der Zweiggates 8a und 8b, d. h. an den gegenüberliegenden Seiten des Durchgangsloches des Gates 8, verbunden.

Der in dieser Ausführungsform konstruierte Dünnfilmtransistor weist einen Kanalbereich von viermal dem eines Einzelgate-TFT, wobei der gleiche Bereich beansprucht ist, und eine Stromkapazität von zumindest viermal der des Einzelgate-TFT auf.

Wenn die Dicke des Kanalfilmes nicht weniger als die Hälfte des Intervalles zwischen den benachbarten Kanälen beträgt, ist der Bereich der Kanäle größer als ein Kanal, wenn die von dem TFT beanspruchte Fläche die gleiche ist.

Da der TFT-Kanal durch das Gate umgeben ist, wird das Gate nicht durch untere und obere Verdrahtungsleitungen beeinflusst, und die Eigenschaften des TFT werden nicht einer Variation ausgesetzt.

Zwölfte Ausführungsform

Fig. 45 bis 48 sind beispielhafte Figuren eines Herstellungsverfahrens einer Halbleitereinrichtung einer zwölften Ausführungsform zum Herstellen des in der elften Ausführungsform

gezeigten Dünnfilmtransistors.

Das Herstellungsverfahren der Halbleitereinrichtung in dieser Ausführungsform wird mit Bezug zu Fig. 42 bis 44 und 45 bis 48 beschrieben.

Wie in Fig. 45 gezeigt ist, wird ein Siliziumdioxidfilm 2 einer vorbestimmten Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) auf einer Oberfläche eines Siliziumsubstrates 1 durch beispielsweise einen thermischen Oxidationsprozeß gebildet.

Ein Siliziumnitridfilm 3 (erstes Dummy-Teil) einer vorbestimmten Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) wird auf dem Siliziumdioxidfilm 2 durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 700 bis 800°C gebildet.

Der Siliziumnitridfilm 3 wird in der Form eines Streifens mit einer Breite, die dem Kanal eines herzustellenden Transistors entspricht, bemustert. Der Siliziumnitridfilm 3 kann in eine Mehrzahl von parallelen Streifen bemustert werden, wenn es notwendig ist.

Ein nicht-dotierter Polysiliziumfilm 4 (zweites Dummy-Teil) wird mit einer vorbestimmten Dicke von beispielsweise 100,0 nm (1000 Å) auf dem Siliziumnitridfilm 3 durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C gebildet. Dann wird der Polysiliziumfilm 4 in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß bemustert, wie in Fig. 46 gezeigt ist.

Dann wird der Siliziumnitridfilm 3 beispielsweise durch Eintauchen des Werkteiles in eine Lösung heißer Phosphorsäure von 150°C komplett entfernt. Folglich wird eine Öffnung in dem Polysiliziumfilm 4 gebildet.

Ein Siliziumnitridfilm 5 (drittes Dummy-Teil) wird über der gesamten Oberfläche des Werkstückes durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 700 bis 800°C gebildet, wie in Fig. 47 gezeigt ist. Der Siliziumnitridfilm 5 wird in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß unter Verwendung einer Maske, die beim Ätzen des Siliziumnitridfilmes 3 verwendet wird, bemustert.

Dann wird der Polysiliziumfilm 4 durch beispielsweise einen isotropen Polysiliziumätzprozeß komplett entfernt. Folglich wird eine Öffnung in dem Siliziumnitridfilm 5 gebildet.

Danach wird eine Gateelektrode 8 aus Polysilizium auf der Oberfläche des Werkstückes gebildet, wie in Fig. 48 gezeigt ist. Ein Polysiliziumfilm 8 (d. h. ein dotierter Polysiliziumfilm) mit einer Dicke von beispielsweise ungefähr 100,0 nm (1000 Å) wird über der gesamten Oberfläche des Werkstückes durch ein CVD mit reduziertem Druck unter Verwendung von SiH₄-Gas, das PH₃ enthält, bei einer Reaktionstemperatur in dem Bereich von beispielsweise 500 bis 700°C gebildet. Der Polysiliziumfilm 8 wird in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß bemustert.

Der Siliziumnitridfilm 5 wird beispielsweise durch Eintauchen des Werkstückes in eine Lösung heißer Phosphorsäure von 150°C komplett entfernt. Da Siliziumdioxidfilme durch die Phosphorsäurelösung nicht korrodiert werden, verbleibt der Siliziumdioxidfilm 2 intakt. Somit wird eine Öffnung in dem Gatepolysiliziumfilm 8, der die Gateelektrode 8 bildet, gebildet.

Wie in Fig. 42 bis 44 gezeigt ist, wird ein Gateisolfilm 7, d. h. ein Gateisolfilm, mit einer vorbestimmten Dicke von beispielsweise 20,0 nm (200 Å), über der gesamten Oberfläche des Werkstückes durch einen CVD-Pro-

zeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 600 bis 900°C gebildet. Der Siliziumdioxidfilm 2 und der Gatepolysiliziumfilm 8 werden mit dem Siliziumdioxidfilm 7 komplett bedeckt.

Ein nicht-dotiertes Polysilizium wird mit einer vorbestimmten Dicke von beispielsweise 40,0 nm (400 Å) durch einen CVD-Prozeß mit reduziertem Druck unter Verwendung einer Reaktionstemperatur in dem Bereich von beispielsweise 400 bis 700°C abgeschieden. Die in dem Gatepolysiliziumfilm 8 gebildete Öffnung wird mit einem Kanalpolysiliziumfilm 6 aufgefüllt, da Filme, die mit einem CVD-Prozeß mit reduziertem Druck abgeschieden sind, eine exzellente Bedeckung aufweisen.

Der Kanalpolysiliziumfilm 6 wird in ein gewünschtes Muster durch einen photolithographischen Ätzprozeß derart bemustert, daß ein Kanalsiliziumfilm 6 gebildet wird (siehe Fig. 42).

Dann wird, obwohl es nicht gezeigt ist, eine Resistmaske auf dem Kanalsiliziumfilm 6 durch Photolithographie gebildet und eine Source/Drain-Implantation wird durchgeführt. Ein Zwischenschicht-Isolieroxidfilm wird gebildet und Verdrahtungsleitungen aus Aluminium oder ähnlichem erstrecken sich von der Gateelektrode und einem Source/Drainbereich derart, daß ein gewünschter Transistor fertiggestellt wird.

Der in dieser Ausführungsform konstruierte Dünnschichttransistor weist einen Kanalbereich von viermal dem eines Einzelgate-TFT, wobei der gleiche Bereich beansprucht wird, und eine Stromkapazität von zumindest viermal der des Einzelgate-TFT auf.

Wenn die Dicke des Kanalfilms nicht weniger ist als die Hälfte des Intervalles zwischen den benachbarten Kanälen, ist die Fläche der Kanäle größer als die eines Kanals, wenn die durch den TFT belegte Fläche die gleiche ist.

Da der TFT-Kanal durch das Gate umgeben ist, wird der Kanal nicht durch obere und untere Verdrahtungsleitungen beeinflusst, und die Eigenschaften des TFT werden keiner Variation ausgesetzt.

In dieser Ausführungsform können der Kanal bzw. das Gate durch Verarbeiten eines einzelnen, leitenden Filmes durch einen einzelnen Prozeß gebildet werden.

Schließlich kann das Herstellungsverfahren einer Halbleitereinrichtung entsprechend dieser zwölften Ausführungsform wie folgt zusammengefaßt werden.

Zuerst wird eine Mehrzahl von im wesentlichen parallelen, streifenförmigen, ersten Dummy-Teilen in einem Bereich, der eine Elementbildungsposition aufweist, auf einem Basisisoliervfilm auf einem Halbleitersubstrat gebildet. Dann wird ein streifenförmiges, zweites Dummy-Teil derart gebildet, daß es die Mehrzahl von ersten Dummy-Teilen an der Elementbildungsposition schneidet, und die ersten Dummy-Teil werden entfernt. Eine Mehrzahl im wesentlichen parallelen, streifenförmigen, dritten Dummy-Teil werden derart gebildet, daß sie das zweite Dummy-Teil an der Elementbildungsposition schneiden, und das zweite Dummy-Teil wird entfernt. Ein leitender, streifenförmiger Gatefilm für ein Gate wird derart gebildet, daß die Mehrzahl von dritten Dummy-Teilen an der Elementbildungsposition geschnitten werden, und die Mehrzahl von dritten Dummy-Teilen werden entfernt. Ein Oberflächenisoliervfilm wird auf dem leitenden Gatefilm gebildet. Ein streifenförmiger, leitender Kanalfilm für einen Kanal wird so gebildet, daß er den leitenden Gatefilm, der mit dem Oberflächenisoliervfilm bedeckt ist, an der Elementbildungsposition schneidet.

Die Vorteile und Effekte der obigen Ausführungsformen können wie folgt zusammengefaßt werden.

Bei der Halbleitereinrichtung der obigen Ausführungsfor-

men weist der Kanal und das Gate jeweils eine Mehrzahl von Zweigen auf und zumindest einer oder alle von den Zweigkanälen sind durch die Zweiggates in einer dreidimensionalen Art umgeben. Die Halbleitereinrichtung weist einen Kanalbereich auf, der das Dreifache oder Vierfache (oder mehr) des eines Einzelgate-TFT beträgt, wobei die gleiche Fläche belegt wird, und sie weist eine Stromkapazität auf, die das Dreifache oder Vierfache (oder mehr) der des Einzelgate-TFT beträgt.

Somit weist die Halbleitereinrichtung und speziell der Dünnschichttransistor eine kleine Fläche und eine große Stromkapazität auf.

Da der Kanal durch das Gate umgeben ist, wird der Kanal der Halbleitereinrichtung nicht durch eine obere und/oder untere Verdrahtungsleitung beeinflusst, und die Eigenschaften des TFT sind keiner Variation ausgesetzt.

Weiterhin können der Kanal bzw. das Gate durch Verarbeiten eines einzelnen, leitenden Filmes gebildet werden, so daß ein Anstieg der Schritte des Herstellungsprozesses der Halbleitereinrichtung unterdrückt werden kann.

Patentansprüche

1. Halbleitereinrichtung mit einem Halbleitersubstrat (1), einem auf einer Oberfläche des Halbleitersubstrates (1) gebildeten Isolierfilm (2), einem Gate (8), das ein unteres Zweiggate (8a), das sich auf einer Oberfläche des Isolierfilmes (2) erstreckt, aufweist, wobei das Gate (8) eine Mehrzahl von Zweiggates (8b-8e), die von dem unteren Zweiggate (8a) derart abzweigen, daß sie sich über das untere Zweiggate (8a) erstrecken, aufweist, wobei eine Mehrzahl von Gatedurchgangslöchern zwischen dem unteren Zweiggate (8a) und der Mehrzahl von Zweiggates (8b-8e) vorgesehen sind, einem Kanal (6), der von einer Seite der Gatedurchgangslöcher abzweigt und eine Mehrzahl von Zweigkanälen (6a-6d) aufweist, die durch die Gatedurchgangslöcher hindurchgehen und die auf der anderen Seite der Gatedurchgangslöcher vereint sind, einem Gateisoliervfilm (7), der zwischen dem Gate (8) und dem Kanal (6) gebildet ist, und wobei ein Source/Drain-Bereich derart gebildet ist, daß er mit dem Kanal (6) an den gegenüberliegenden Seiten der Gatedurchgangslöcher verbunden ist.
2. Halbleitereinrichtung mit einem Halbleitersubstrat (1), einem auf einer Oberfläche des Halbleitersubstrates (1) gebildeten Isolierfilm (2), einem Gate (8), das ein unteres Zweiggate (8a) aufweist, das auf einer Oberfläche des Isolierfilmes (2) derart gebildet ist, daß ein Tunnel auf dem Isolierfilm (2) gebildet ist, wobei das Gate (8) zumindest ein anderes Zweiggate (8b) aufweist, das von dem unteren Zweiggate (8a) abzweigt und sich über das untere Zweiggate (8a) erstreckt, wobei zumindest ein Gatedurchgangsloch zwischen dem unteren Zweiggate (8a) und den anderen Zweiggates (8b) vorgesehen ist, einem Kanal (6), der einen unteren Zweigkanal (6a), der von einer Seite des Gatedurchgangsloches abzweigt und durch den Kanal hindurchgeht, aufweist, wobei der Kanal (6) zumindest einen anderen Zweigkanal (6d) aufweist, der durch das/die Durchgangslocher hindurchgeht, wobei der untere Zweigkanal (6a) und der/die anderen Zweigkanäle (6b) an der anderen Seite der Gatedurch-

gangslöcher vereint sind, und ein Source/Drain-Bereich mit dem Kanal (6) an den gegenüberliegenden Seiten der Gatedurchgangslöcher verbunden ist.

3. Halbleitereinrichtung mit einem mit einer Ausnehmung (9) vorgesehenen Halbleitersubstrat (1), einem auf einer Oberfläche der Ausnehmung (9) und auf einer Oberfläche des Halbleitersubstrates (1) gebildeten Isolierfilm (2),

einem Gate (8), das ein unteres Zweiggate (8a), das derart gebildet ist, daß es sich auf der Oberfläche des Isolierfilmes (2), auf der Oberfläche der Ausnehmung (9) und auf der Oberfläche des Isolierfilmes (2) erstreckt, aufweist,

wobei das Gate (8) eine Mehrzahl von anderen Zweiggates (8b, 8c), die von den unteren Zweiggate (8a) abzweigen und sich über das untere Zweiggate (8a) erstrecken, aufweist, wobei eine Mehrzahl von Gatedurchgangslöchern zwischen dem unteren Zweiggate (8a) und den anderen Zweiggates (8b, 8c) vorgesehen sind, einem Kanal (6), der einen Zweigkanal (6b), der an einer Seite der Gatedurchgangslöcher abzweigt und sich durch die Gatedurchgangslöcher erstreckt und auf der anderen Seite der Gatedurchgangslöcher vereint ist, aufweist, und

einem Source/Drain-Bereich, der so gebildet ist, daß er mit dem Kanal (6) an den gegenüberliegenden Seiten der Gatedurchgangslöcher verbunden ist.

4. Halbleitereinrichtung mit einem Halbleitersubstrat (1), einem auf einer Oberfläche des Halbleitersubstrates (1) gebildeten Isolierfilm (2),

einem Kanal (6), der einen unteren Zweigkanal (6a), der auf einer Oberfläche des Isolierfilmes (2) gebildet ist, aufweist,

wobei der Kanal (6) eine Mehrzahl von anderen Zweigkanälen (6b, 6c), die von dem unteren Zweigkanal (6a) abzweigen und sich über ihn erstrecken, aufweist,

wobei eine Mehrzahl von Kanaldurchgangslöchern zwischen dem unteren Zweigkanal (6a) und den anderen Zweigkanälen (6b, 6c) vorgesehen sind,

ein Source/Drain-Bereich derart gebildet ist, daß er mit dem Kanal (6) an den gegenüberliegenden Enden des Kanals (6) verbunden ist, und

einem Gate (8), das eine Mehrzahl von Zweiggates (8a, 8b), die an einer Seite der Kanaldurchgangslöcher abzweigen und sich durch die Kanaldurchgangslöcher erstrecken und auf der anderen Seite der Kanaldurchgangslöcher vereint sind, aufweist.

5. Halbleitereinrichtung nach Anspruch 4, bei der ausgewählte Zweigkanäle (6a, 6b), die andere sind als der oberste Zweigkanal (6c), in eine Mehrzahl von Abschnitten mit Zwischenräumen dazwischen aufgeteilt sind und wobei die Zweiggates (8a, 8b) sich in die Zwischenräume erstrecken.

6. Halbleitereinrichtung nach einem der Ansprüche 1 bis 5, bei der der Kanal (6) und/oder das Gate (8) aus einem leitenden Einzelschichtfilm gebildet sind.

7. Halbleitereinrichtung nach einem der Ansprüche 1 bis 6, bei der der Kanal (6) und/oder das Gate (8) aus einem Polysiliziumfilm gebildet sind.

8. Halbleitereinrichtung nach einem der Ansprüche 1 bis 7, bei der die Zweigkanäle (6a-6d) und die Zweiggates (8a-8e) so gebildet sind, daß sie sich in einer dreidimensionalen Art zueinander senkrecht erstrecken.

9. Herstellungsverfahren einer Halbleitereinrichtung mit einem ersten Schritt des Bildens eines streifenförmigen, ersten Dummy-Teiles (3) in einem Bereich, der eine Elementbildungsposition aufweist, auf einem Basisisolierfilm (2) auf einem Halbleitersubstrat (1),

einem zweiten Schritt des Bildens eines streifenförmigen, zweiten Dummy-Teiles (4) derart, daß es das erste Dummy-Teil (3) an der Elementbildungsposition schneidet, und des Entfernens des ersten Dummy-Teiles (3),

einem dritten Schritt des Bildens eines streifenförmigen, dritten Dummy-Teiles (5) derart, daß es das zweite Dummy-Teil an der Elementbildungsposition schneidet, und des Entfernens des zweiten Dummy-Teiles (4),

einem Schritt des Wiederholens des ersten bis dritten Schrittes um eine vorbestimmte Anzahl derart, daß Dummy-Teile über dem dritten Dummy-Teil (5) gebildet werden,

einem Schritt des Bildens eines streifenförmigen, leitenden Kanalfilmes (6) für einen Kanal derart, daß er das letzte Dummy-Teil an der Elementbildungsposition schneidet, und des Entfernens des letzten Dummy-Teiles,

einem Schritt des Bildens eines Oberflächenisolierfilmes (7) über der gesamten Oberfläche des leitenden Kanalfilmes (6) und einem Schritt des Bildens eines streifenförmigen, leitenden Gatefilmes (9) für ein Gate derart, daß er den leitenden Kanalfilm (6), der mit dem Oberflächenisolierfilm (7) bedeckt ist, an der Elementbildungsposition schneidet.

10. Herstellungsverfahren einer Halbleitereinrichtung mit den Schritten

Bilden eines streifenförmigen, zweiten Dummy-Teiles (4) in einem Bereich, der eine Elementbildungsposition aufweist, auf einem Basisisolierfilm (2) auf einem Halbleitersubstrat (1),

Bilden eines streifenförmigen, dritten Dummy-Teiles (5) derart, daß das zweite Dummy-Teil (4) an der Elementbildungsposition geschnitten wird, und Entfernen des zweiten Dummy-Teiles (4),

Bilden eines streifenförmigen, leitenden Kanalfilmes (6) für einen Kanal derart, daß das dritte Dummy-Teil (5) an der Elementbildungsposition geschnitten wird, und Entfernen des dritten Dummy-Teiles (5),

Bilden eines Oberflächenisolierfilmes (7) über der gesamten Oberfläche des leitenden Kanalfilmes (6) und Bilden eines streifenförmigen, leitenden Gatefilmes (8) für ein Gate derart, daß der leitende Kanalfilm (6), der mit dem Oberflächenisolierfilm (7) bedeckt ist, an der Elementbildungsposition geschnitten wird.

11. Herstellungsverfahren einer Halbleitereinrichtung mit den Schritten

Bilden einer Ausnehmung (9) in einem Halbleitersubstrat (1) an einer Elementbildungsposition,

Bilden eines Basisisolierfilmes (2), der eine Oberfläche der Ausnehmung (9) und eine Oberfläche des Halbleitersubstrates (1) bedeckt,

Auffüllen der Ausnehmung (9) mit einem ersten Dummy-Teil (3)

Bilden eines streifenförmigen, zweiten Dummy-Teiles (4) derart, daß es sich über das erste Dummy-Teil (3), das die Ausnehmung (9) füllt, und die Oberfläche des Halbleitersubstrates (1), die mit dem Basisisolierfilm (2) bedeckt ist, erstreckt,

Bilden eines streifenförmigen, dritten Dummy-Teiles (5) derart, daß das zweite Dummy-Teil (4) an der Elementbildungsposition geschnitten wird,

Bilden eines streifenförmigen, leitenden Kanalfilmes

(6) für einen Kanal derart, daß das dritte Dummy-Teil (5) an der Elementbildungsposition geschnitten wird, und Entfernen des dritten und des ersten Dummy-Teiles (5, 3),
 Bilden eines Oberflächenisolierfilmes (7) auf der Oberfläche des leitenden Kanalfilmes (6) und
 Bilden eines streifenförmigen leitenden Gatefilmes (8) für ein Gate derart, daß der leitende Kanalfilm (6), der mit dem Oberflächenisolierfilm (7) bedeckt ist, an der Elementbildungsposition geschnitten wird.
 12. Herstellungsverfahren einer Halbleitereinrichtung mit den Schritten
 Bilden eines ersten Dummy-Teiles (3) auf einer Oberfläche eines Basisisolierfilmes (2), der auf einer Oberfläche eines Halbleitersubstrates (1) gebildet ist,
 Bilden eines streifenförmigen, zweiten Dummy-Teiles (4) in einem Bereich, der eine Elementbildungsposition aufweist, auf einem Halbleitersubstrat (1), auf dem das erste Dummy-Teil (3) gebildet ist,
 Bilden eines streifenförmigen, dritten Dummy-Teiles (5), das mit einer Resistmaske (101) bedeckt ist, derart, daß das zweite Dummy-Teil (4) an der Elementbildungsposition geschnitten wird,
 Entfernen des zweiten Dummy-Teiles (4) über die Resistmaske (101) und Bemustern des ersten Dummy-Teiles (3) entlang des dritten Dummy-Teiles (5),
 Bilden eines streifenförmigen, leitenden Kanalfilmes (6), der mit einer Resistmaske (102) bedeckt ist, für einen Kanal derart, daß das dritte Dummy-Teil (5) an der Elementbildungsposition geschnitten wird,
 Bemustern des dritten Dummy-Teiles (5) und des bemusterten ersten Dummy-Teiles (3) durch ein anisotropes Ätzen unter Verwendung der Resistmaske (102),
 Entfernen eines Abschnittes des dritten Dummy-Teiles (5), das mit dem leitenden Kanalfilm (6) bedeckt ist und nach dem anisotropen Ätzen zurückbleibt und ebenfalls Entfernen des ersten Dummy-Teiles (3),
 Bilden eines Oberflächenisolierfilmes (7) über der gesamten Oberfläche des leitenden Kanalfilmes (6) und
 Bilden eines streifenförmigen, leitenden Gatefilmes (8) für ein Gate derart, daß der leitende Kanalfilm (6), der mit dem Oberflächenisolierfilm (7) bedeckt ist, an der Elementbildungsposition geschnitten wird.
 13. Herstellungsverfahren einer Halbleitereinrichtung mit den Schritten
 Bilden eines streifenförmigen, ersten Dummy-Teiles (3) in einem Bereich, der eine Elementbildungsposition aufweist, auf einem Basisisolierfilm (2) auf einem Halbleitersubstrat (1),
 Bilden eines streifenförmigen, zweiten Dummy-Teiles (4) derart, daß das erste Dummy-Teil (3) an der Elementbildungsposition geschnitten wird, und Entfernen des ersten Dummy-Teiles (3),
 Bilden eines streifenförmigen, dritten Dummy-Teiles (5) derart, daß das zweite Dummy-Teil (4) an der Elementbildungsposition geschnitten wird, und Entfernen des zweiten Dummy-Teiles (4),
 Bilden eines streifenförmigen, leitenden Gatefilmes (8) für ein Gate derart, daß das dritte Dummy-Teil (5) an der Elementbildungsposition geschnitten wird, und
 Entfernen des dritten Dummy-Teiles (5),
 Bilden eines Oberflächenisolierfilmes (7) auf dem leitenden Gatefilm (8) und
 Bilden eines streifenförmigen, leitenden Kanalfilmes (6) für einen Kanal derart, daß der leitende Gatefilm (8), der mit dem Oberflächenisolierfilm (7) bedeckt ist, an der Elementbildungsposition geschnitten wird.
 14. Herstellungsverfahren einer Halbleitereinrichtung

mit den Schritten

Bilden einer Mehrzahl von im wesentlichen parallelen, streifenförmigen, ersten Dummy-Teilen (3) in einem Bereich, der eine Elementbildungsposition aufweist, auf einem Basisisolierfilm (2) auf einem Halbleitersubstrat (1),
 Bilden eines streifenförmigen, zweiten Dummy-Teiles (4) derart, daß die Mehrzahl von ersten Dummy-Teilen (3) an der Elementbildungsposition geschnitten werden, und Entfernen der ersten Dummy-Teile (3),
 Bilden einer Mehrzahl von im wesentlichen parallelen, streifenförmigen, dritten Dummy-Teilen (5) derart, daß das zweite Dummy-Teil (4) an der Elementbildungsposition geschnitten wird, und Entfernen des zweiten Dummy-Teiles (4),
 Bilden eines streifenförmigen, leitenden Gatefilmes (8) für ein Gate derart, daß die Mehrzahl von dritten Dummy-Teilen (5) an der Elementbildungsposition geschnitten werden, und Entfernen der Mehrzahl von dritten Dummy-Teilen (5),
 Bilden eines Oberflächenisolierfilmes (7) auf dem leitenden Gatefilm (8) und
 Bilden eines streifenförmigen, leitenden Kanalfilmes (6) für einen Kanal derart, daß der leitende Gatefilm (8), der mit dem Oberflächenisolierfilm (7) bedeckt ist, an der Elementbildungsposition geschnitten wird.
 15. Herstellungsverfahren einer Halbleitereinrichtung nach einem der Ansprüche 9 bis 14, bei dem der leitende Kanalfilm (6) und/oder der leitende Gatefilm (8) durch einen leitenden Einzelschichtfilm gebildet werden.
 16. Herstellungsverfahren einer Halbleitereinrichtung nach einem der Ansprüche 9 bis 15, bei dem der leitende Kanalfilm (6) und/oder der leitende Gatefilm (8) durch einen Polysiliziumfilm gebildet werden.
 17. Herstellungsverfahren einer Halbleitereinrichtung nach einem der Ansprüche 9 bis 16, bei dem das erste und das dritte Dummy-Teil (3, 5) durch einen Siliziumnitridfilm gebildet werden und das zweite Dummy-Teil (4) durch einen Polysiliziumfilm gebildet wird.
 18. Herstellungsverfahren einer Halbleitereinrichtung nach einem der Ansprüche 9 bis 17, bei dem der leitende Kanalfilm (6) und der leitende Gatefilm (8) derart gebildet werden, daß sie sich in einer dreidimensionalen Art zueinander senkrecht erstrecken.

Hierzu 23 Seite(n) Zeichnungen

FIG.1

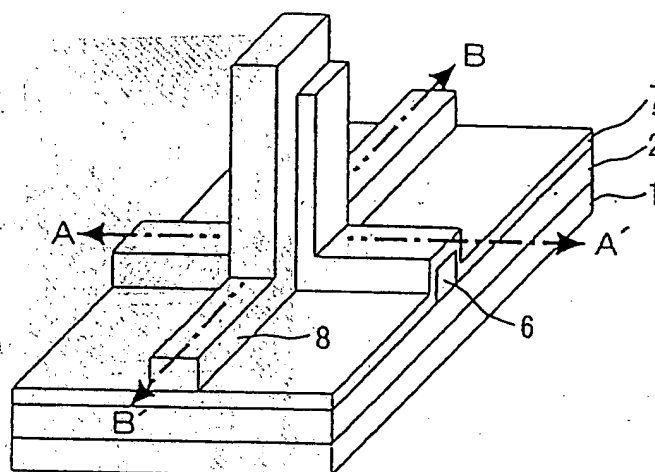


FIG.2

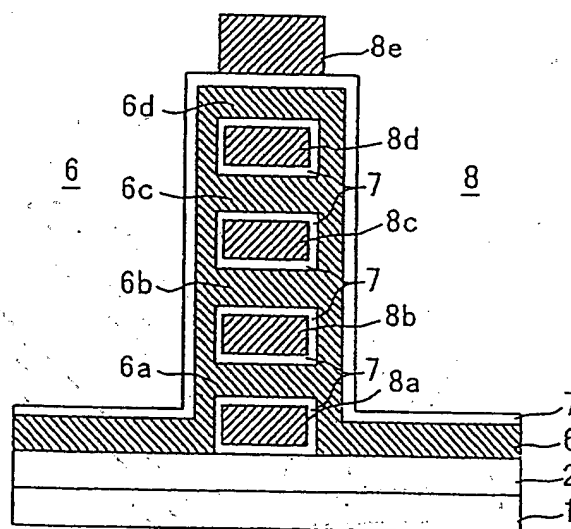


FIG.3

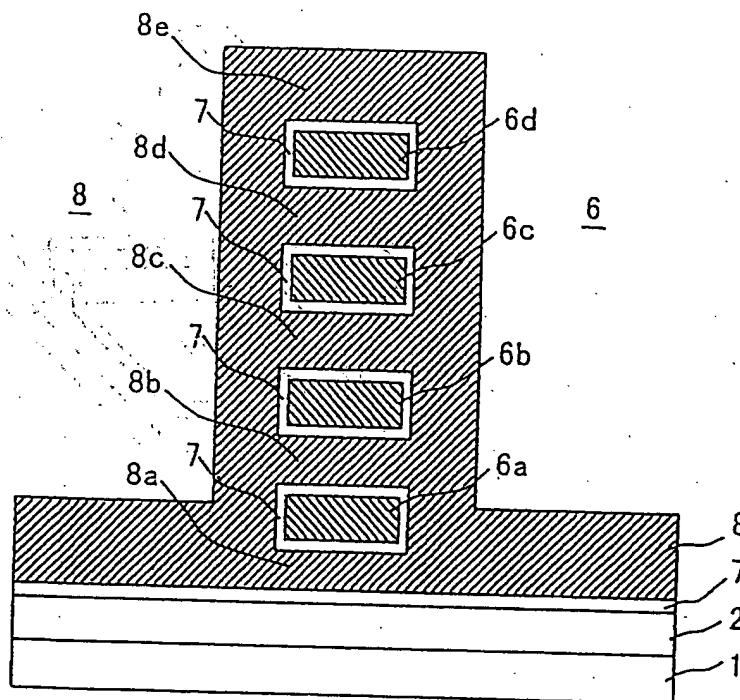


FIG.4

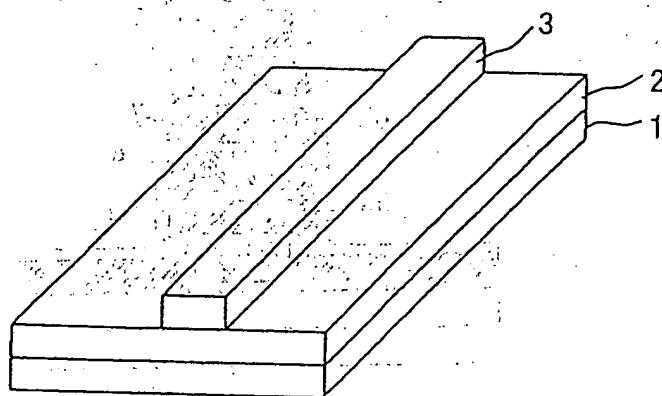


FIG.5

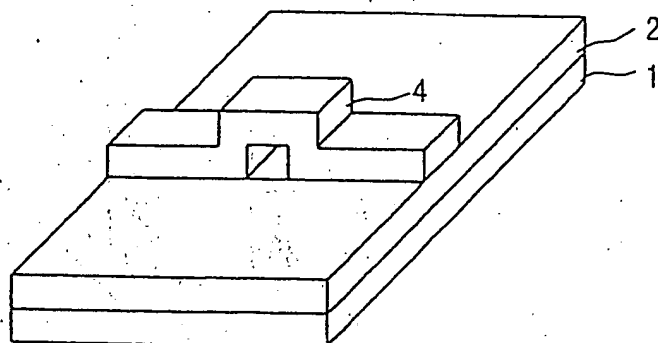


FIG.6

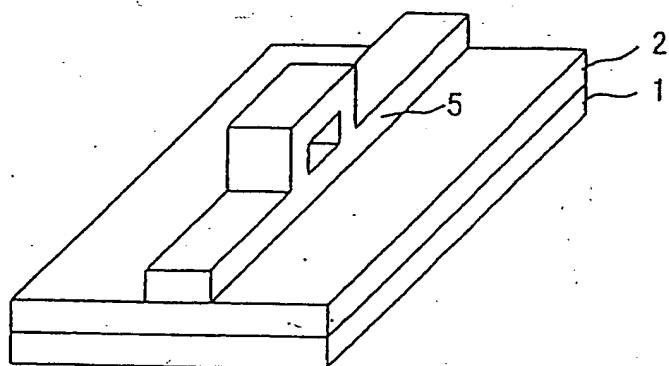


FIG.7

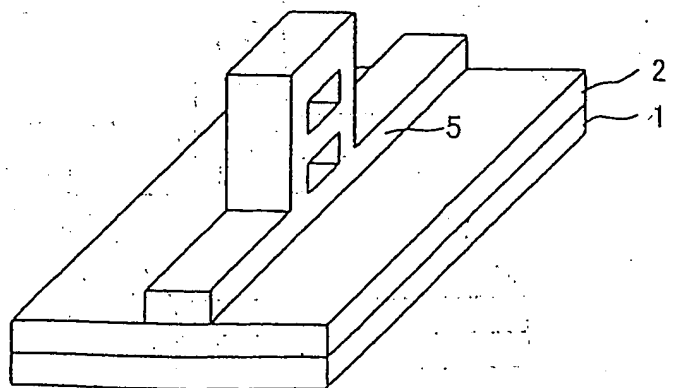


FIG.8

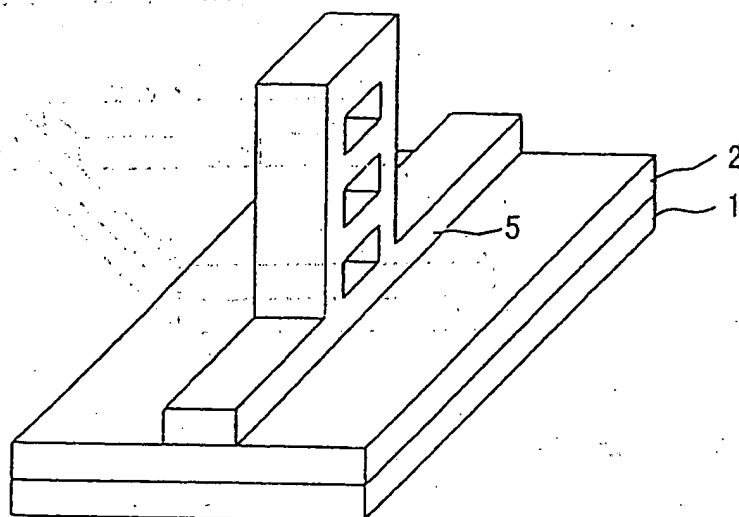


FIG.9

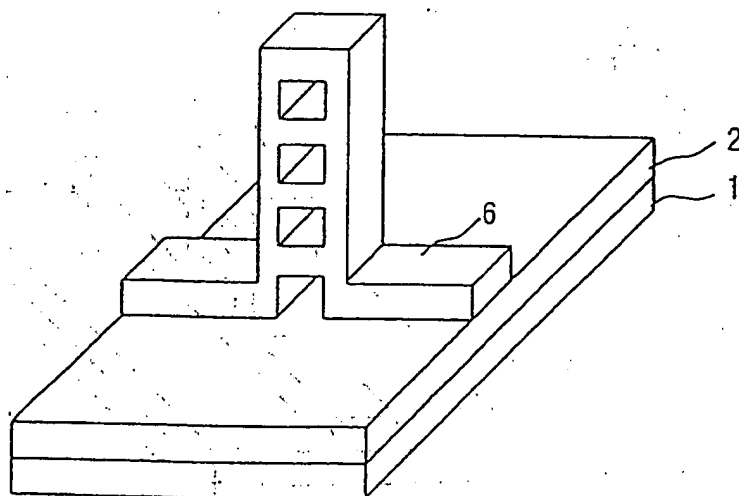


FIG.10

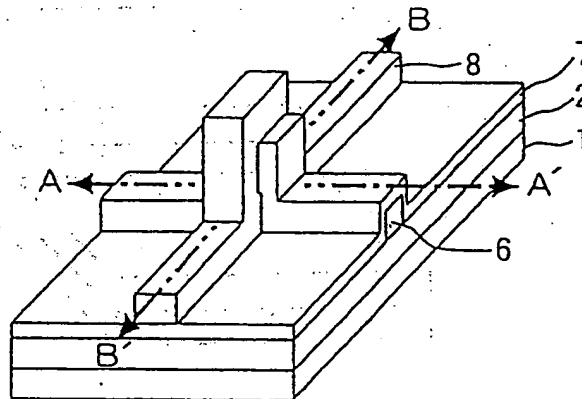


FIG.11

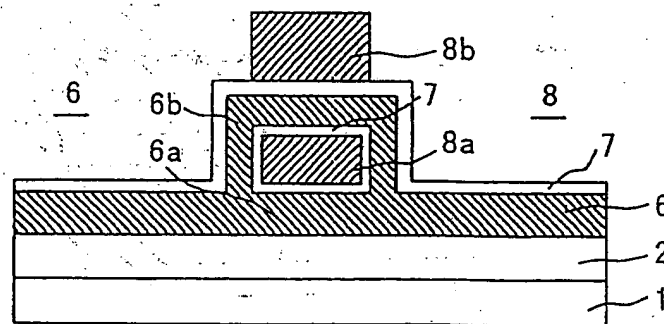


FIG.12

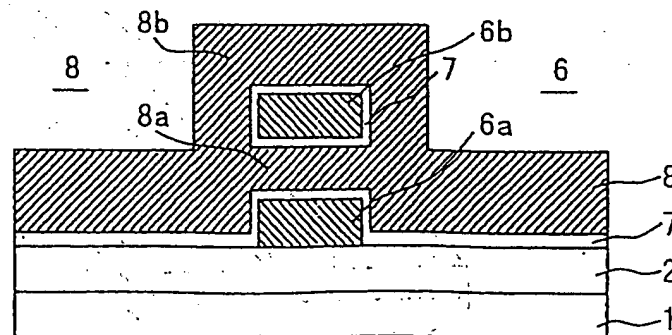


FIG.13

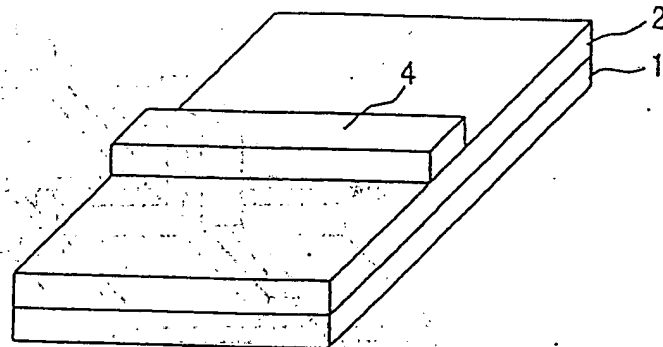


FIG.14

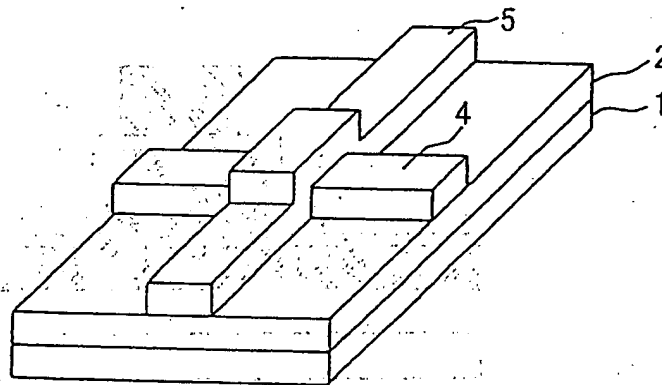


FIG.15

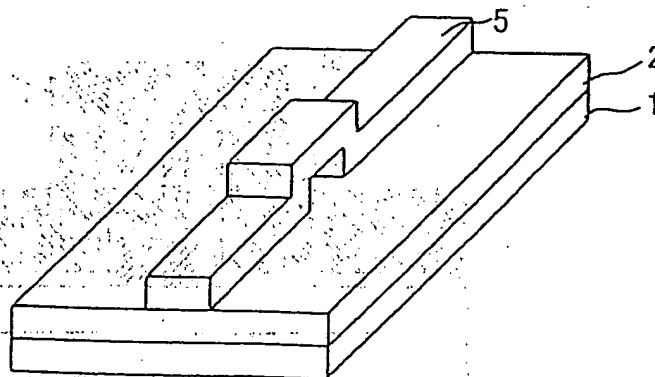


FIG.16

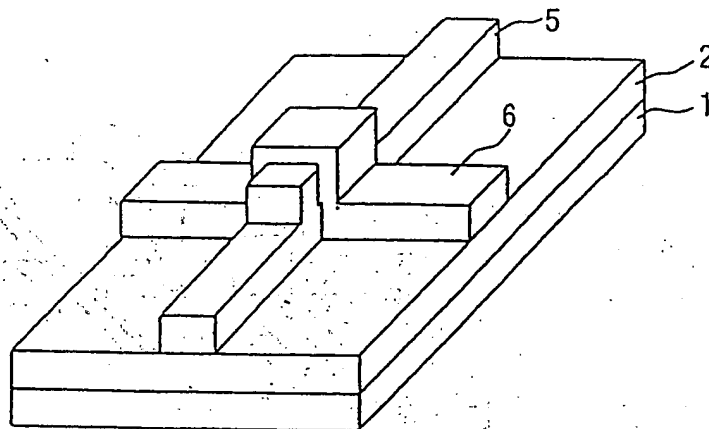


FIG.17

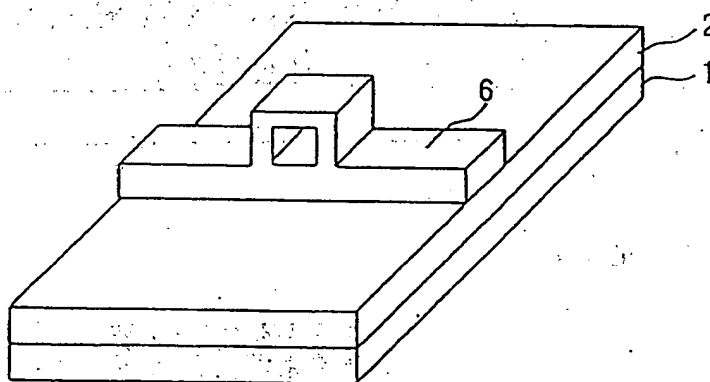


FIG.18

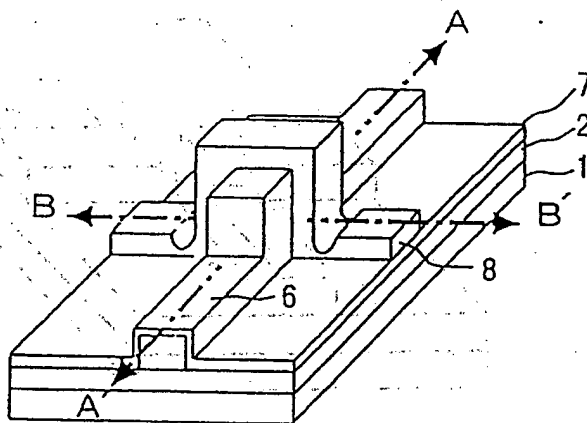


FIG.19

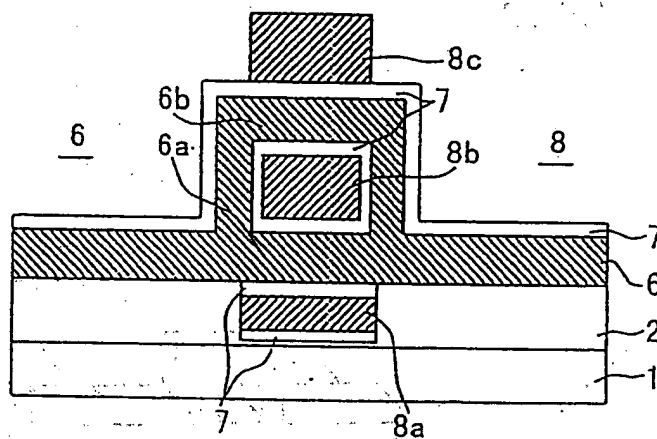


FIG.20

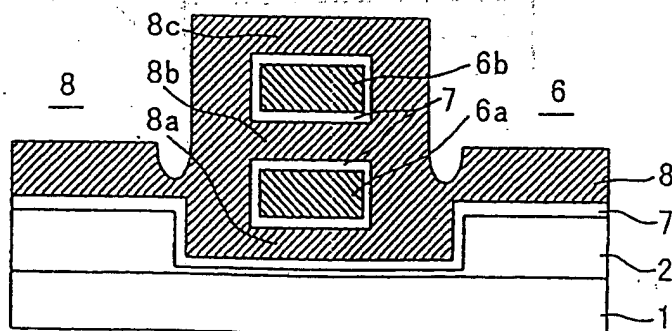


FIG.21

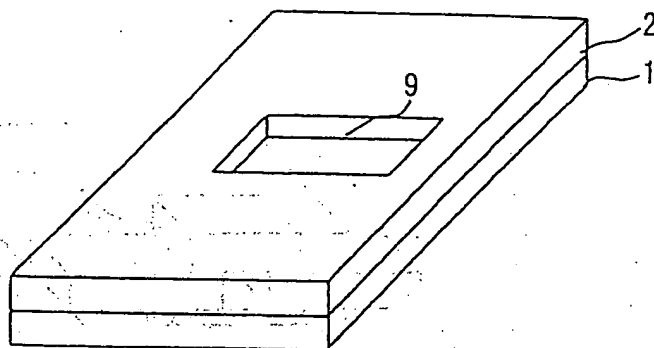


FIG.22

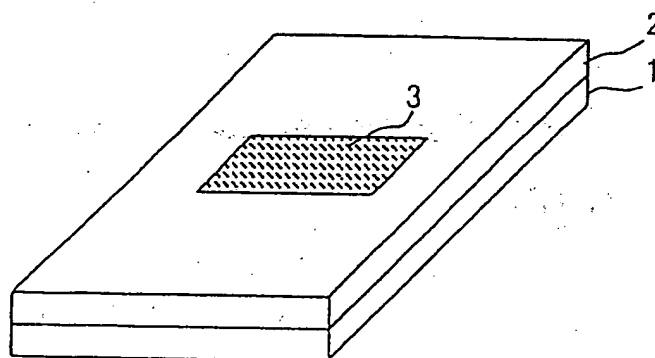


FIG.23

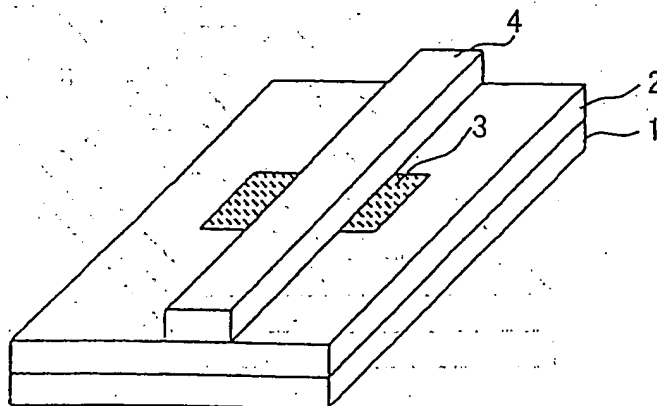


FIG.24

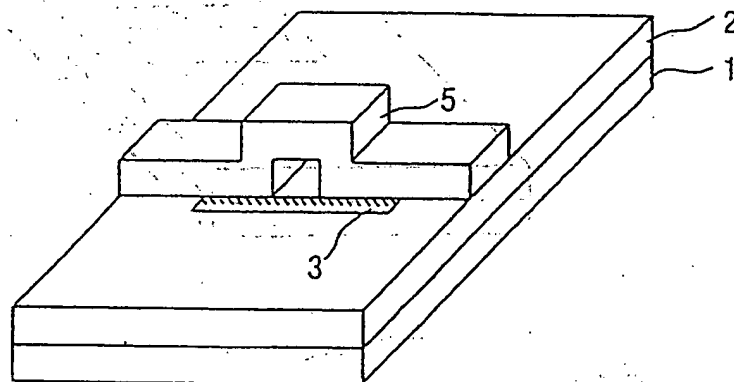


FIG.25

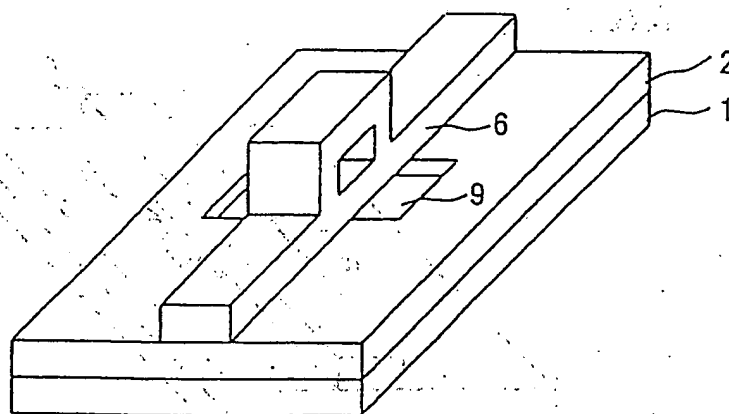


FIG.26

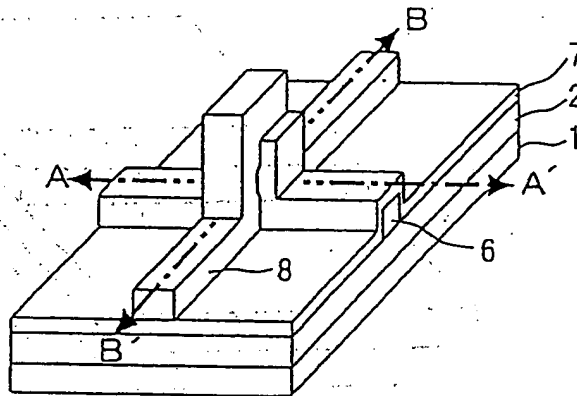


FIG.27

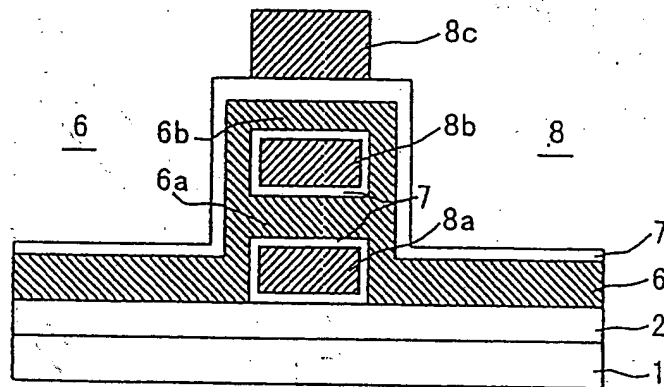


FIG.28

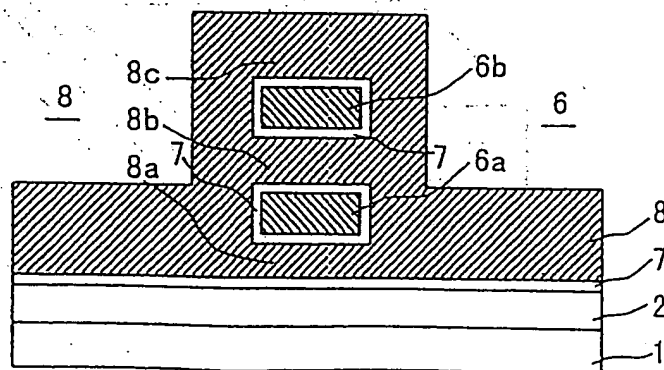


FIG.29

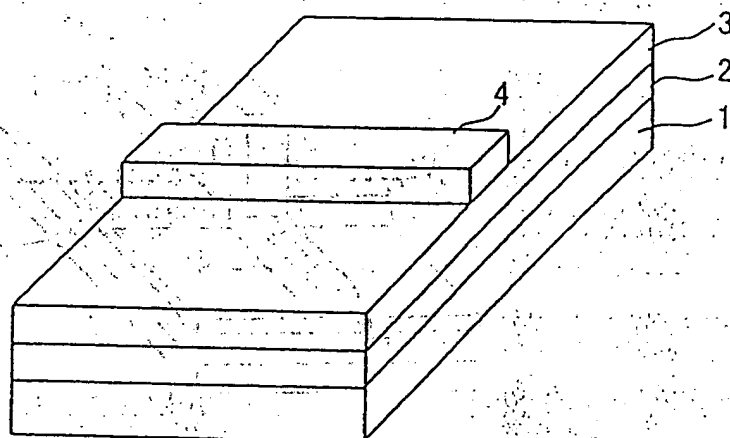


FIG.30

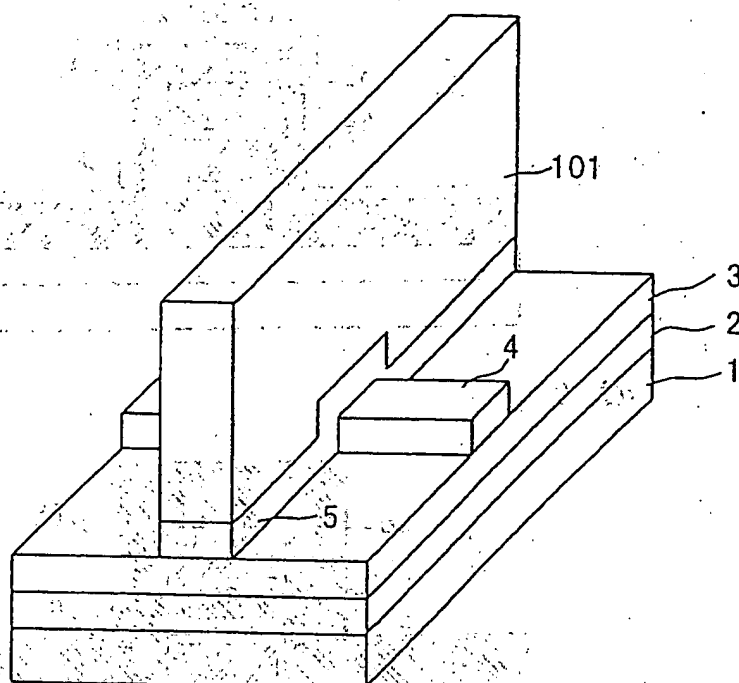


FIG.31

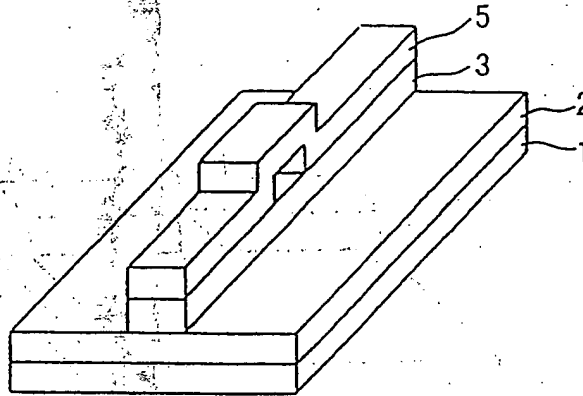


FIG.32

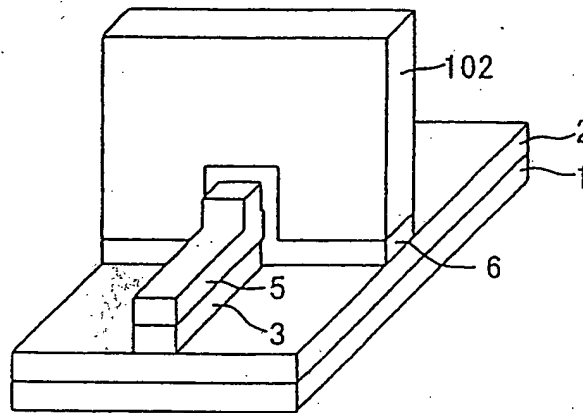


FIG.33

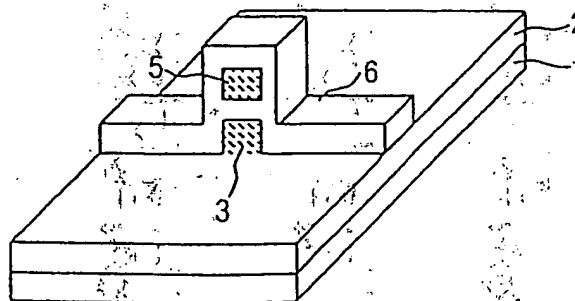


FIG.34

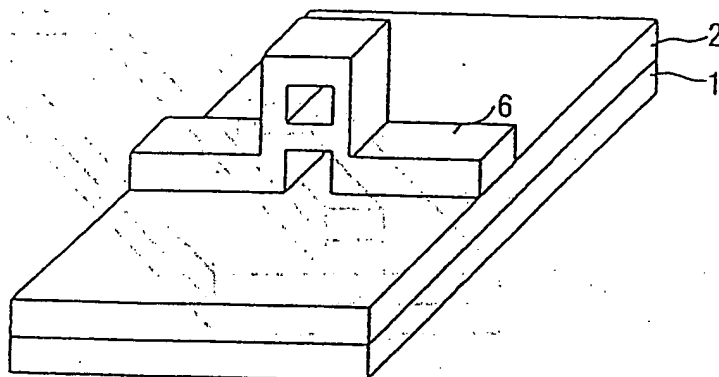


FIG.35

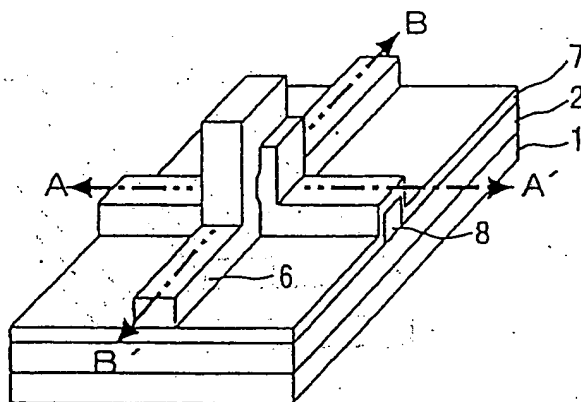


FIG.36

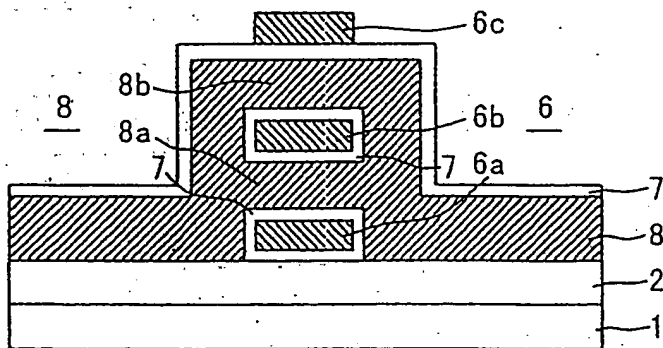


FIG.37

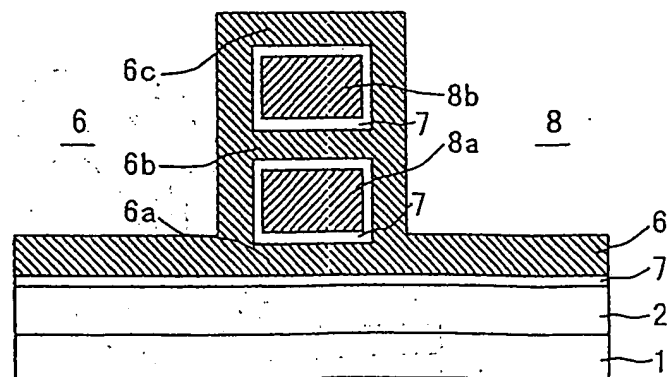


FIG.38

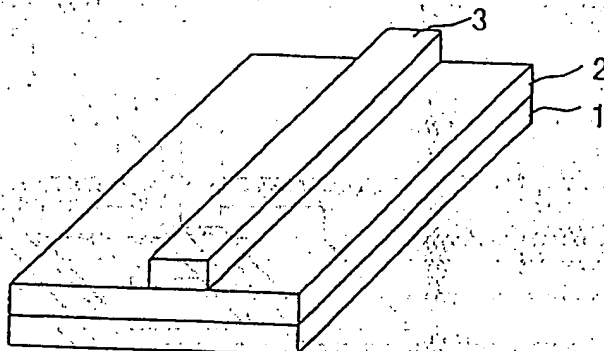


FIG.39

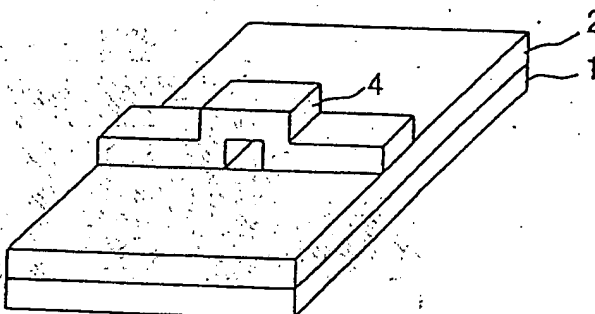


FIG.40

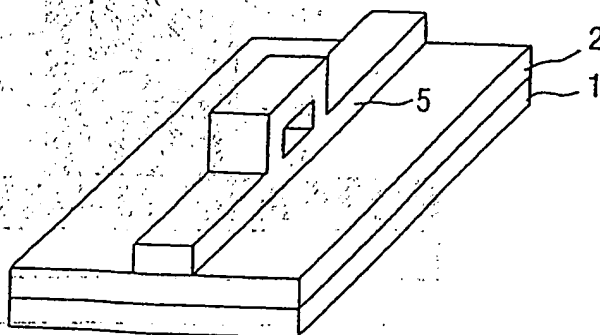


FIG.41

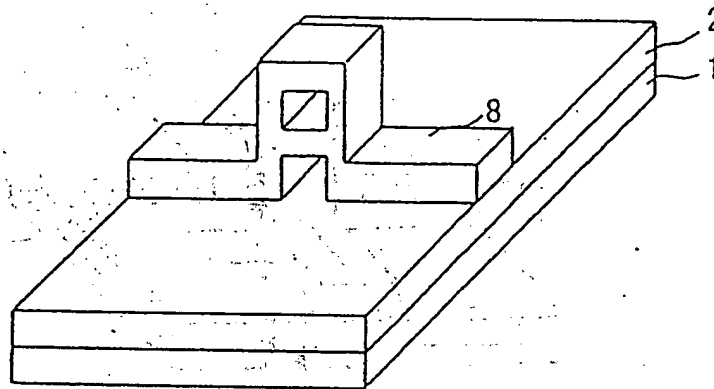


FIG.42

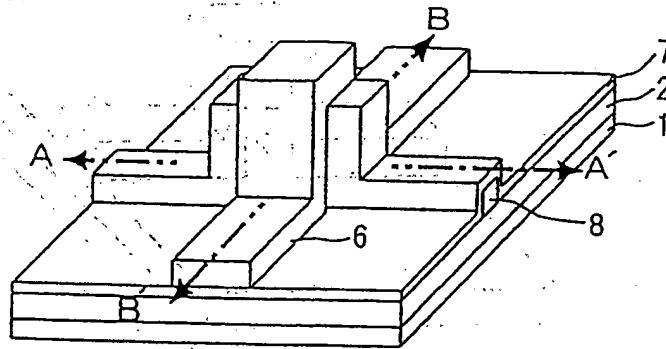


FIG.43

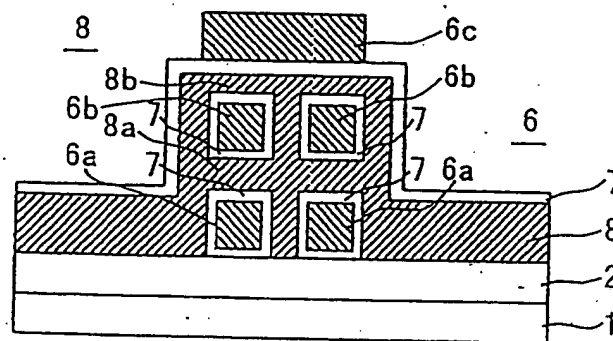


FIG.44

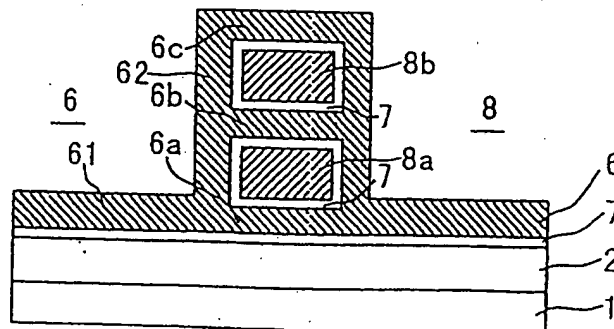


FIG.45

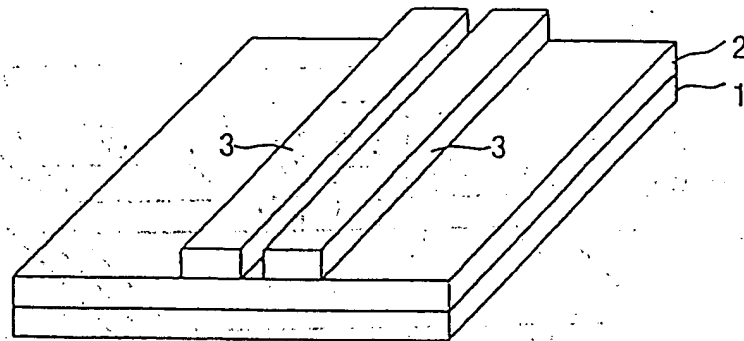


FIG.46

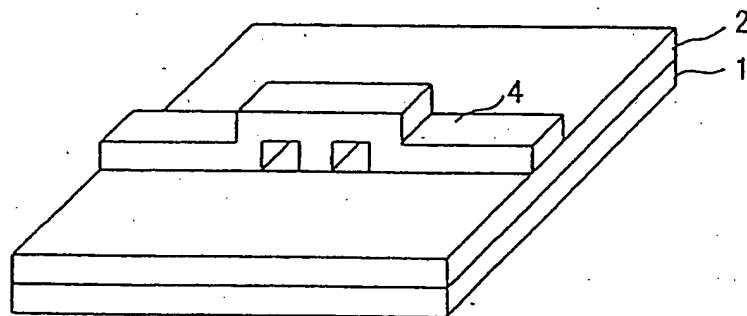


FIG.47

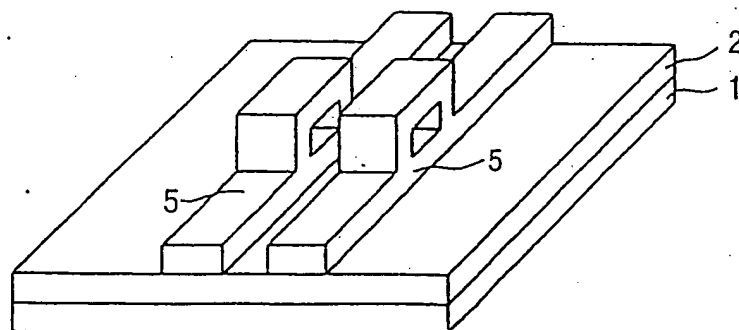


FIG.48

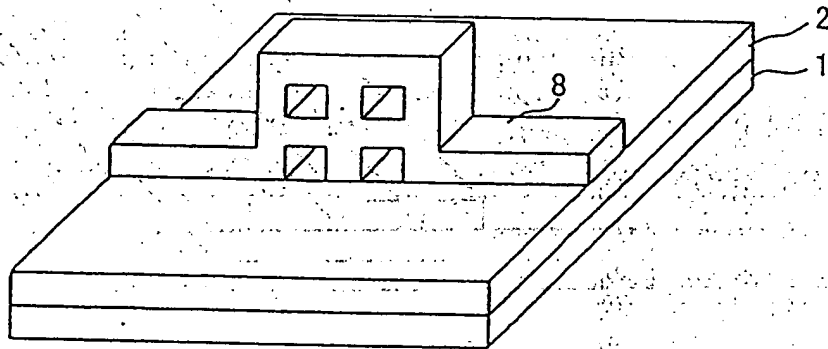


FIG.49

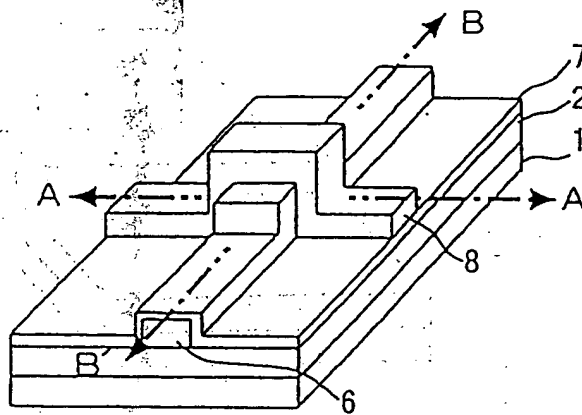


FIG.50

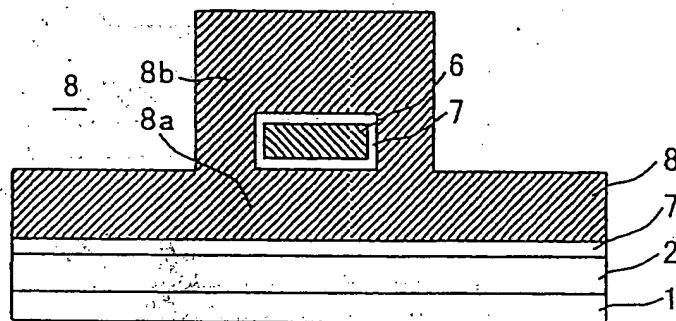


FIG.51

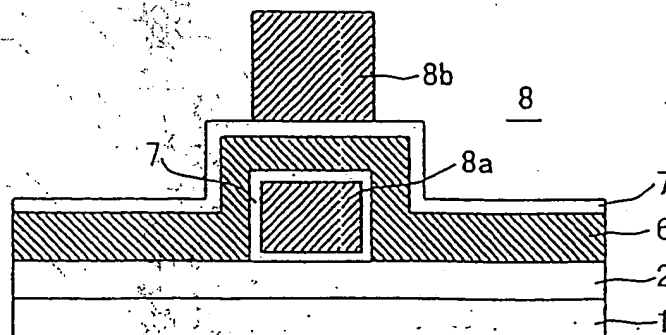


FIG.52

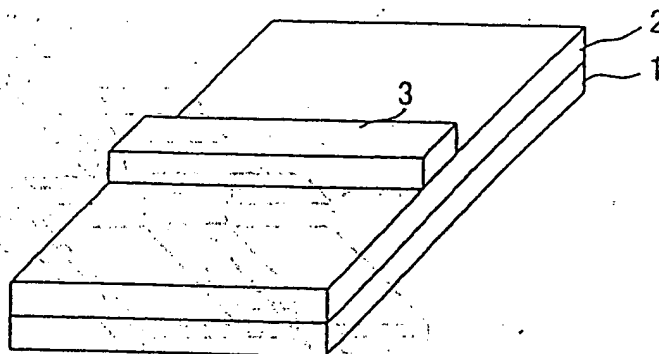


FIG.53

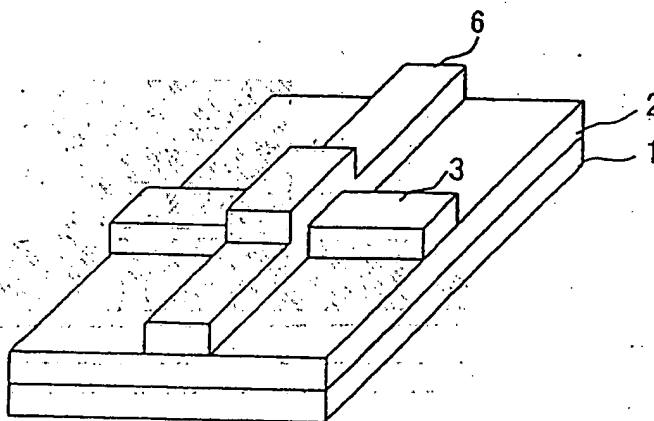


FIG.54

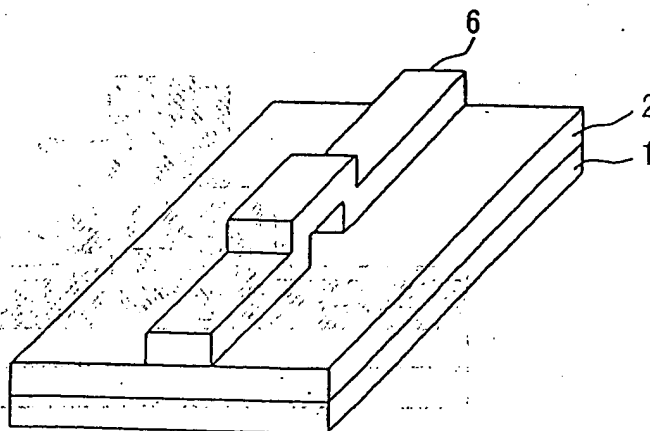


FIG.55

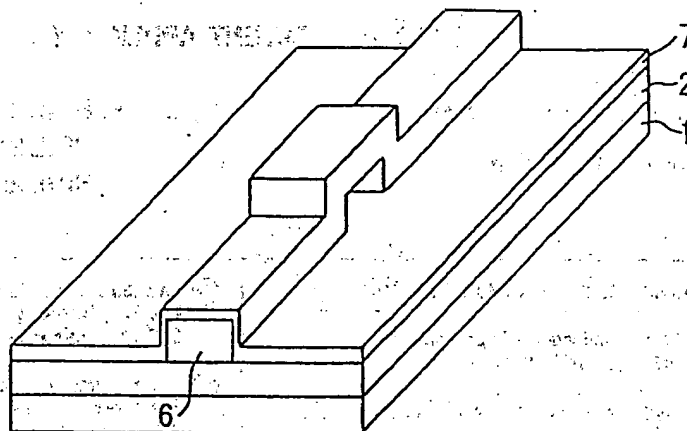
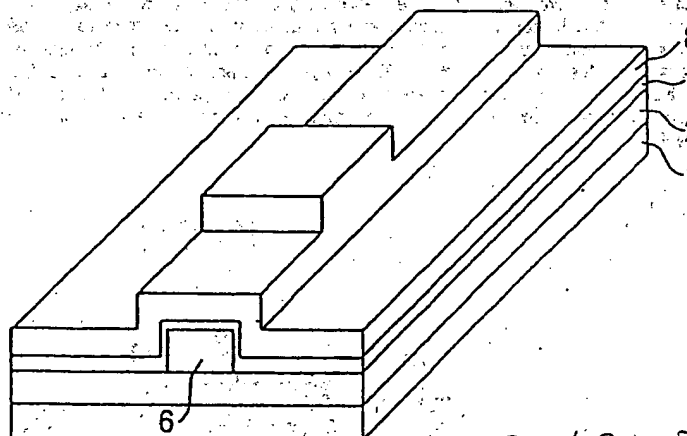


FIG.56



DOCKET NO: L&L-I0178

SERIAL NO: 09/996,279

APPLICANT: Risch et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100